

06.4.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

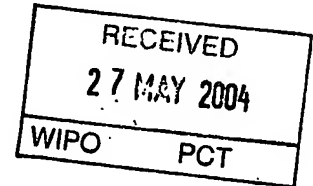
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 4月 7日

出 願 番 号
Application Number: 特願2003-102773
[ST. 10/C]: [JP2003-102773]

出 願 人
Applicant(s): イビデン株式会社

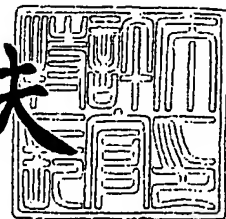


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 112345
【あて先】 特許庁長官殿
【国際特許分類】 H05K 01/34

【発明者】

【住所又は居所】 岐阜県揖斐郡揖斐川町北方 1-1 イビデン株式会社内

【氏名】 加藤 忍

【特許出願人】

【識別番号】 000000158

【住所又は居所】 岐阜県大垣市神田町 2 丁目 1 番地

【氏名又は名称】 イビデン株式会社

【代表者】 岩田 義文

【代理人】

【識別番号】 100095795

【住所又は居所】 名古屋市中区栄 1 丁目 2 2 番 6 号

【弁理士】

【氏名又は名称】 田下 明人

【選任した代理人】

【識別番号】 100098567

【住所又は居所】 名古屋市中区栄 1 丁目 2 2 番 6 号

【弁理士】

【氏名又は名称】 加藤 壯祐

【手数料の表示】

【予納台帳番号】 054874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9401314

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層プリント配線板

【特許請求の範囲】

【請求項1】 複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、

前記コア基板のスルーホールは、グランド用スルーホールと電源用スルーホールとが隣り合う位置に配設されていることを特徴とする多層プリント配線板。

【請求項2】 複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、

前記コア基板のスルーホールは、2つ以上のグランド用スルーホールと2つ以上の電源用スルーホールとを有し、それぞれが隣り合う位置に格子状もしくは千鳥状に配設されていることを特徴とする多層プリント配線板。

【請求項3】 前記グランド用スルーホールと前記電源用のスルーホールとの距離は、 $60 \sim 550 \mu\text{m}$ の間であることを特徴とする請求項1または2に記載の多層プリント配線板。

【請求項4】 前記グランド用スルーホール径は $50 \sim 500 \mu\text{m}$ であり、前記電源用スルーホール径は $50 \sim 500 \mu\text{m}$ であることを特徴とする請求項1または2に記載の多層プリント配線板。

【請求項5】 前記グランド用スルーホールと電源用スルーホールとの少なくとも一方は、1つもしくは2つ以上最外層まで全層スタック構造であることを特徴とする請求項1または2に記載の多層プリント配線板。

【請求項6】 前記グランド用スルーホールおよび前記電源用スルーホールは、ICチップの直下に配設される請求項1、2または5のいずれか1に記載の多層プリント配線板。

【請求項7】 前記コア基板上の導体層の厚みは、前記層間絶縁層上の前記導体層の厚みよりも厚いことを特徴とする請求項1又は請求項2の多層プリント

配線板。

【請求項 8】 前記コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項 1 又は請求項 2 の多層プリント配線板。

【請求項 9】 前記 $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項 8 に記載の多層プリント配線板。

【請求項 10】 前記コア基板の導体層は、電源層用の導体層又はグランド用の導体層である請求項 7～請求項 9 のいずれか 1 に記載の多層プリント配線板。

【請求項 11】 コンデンサが表面に実装されていることを特徴とする請求項 7～請求項 10 のいずれか 1 に記載の多層プリント配線板。

【請求項 12】 前記コア基板が、内層に厚い導体層を有する 3 層以上の多層コア基板であって、
前記コア基板の内層の導体層と表面の導体層とが、電源層用の導体層又はグランド用の導体層であることを特徴とする請求項 1 又は請求項 2 の多層プリント配線板。

【請求項 13】 前記コア基板が、内層に厚い導体層を有する 3 層以上の多層コア基板であって、
前記コア基板の内層の導体層は、電源層用の導体層又はグランド用の導体層であり、表層の導体層は信号線からなることを特徴とする請求項 1 又は請求項 2 の多層プリント配線板。

【請求項 14】 前記コア基板の内層の導体層の厚みは、層間絶縁層上の導体層よりも厚いことを特徴とする請求項 12 または請求項 13 に記載の多層プリント配線板。

【請求項 15】 前記コア基板の内層の導体層は、2 層以上である請求項 12 又は請求項 13 に記載の多層プリント配線板。

【請求項 16】 前記コア基板は、電氣的に隔絶された金属板の両面に、樹脂層を介在させて前記内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて前記表面の導体層が形成されて成ることを特徴とする請求項 12 又

は請求項13の多層プリント配線板。

【請求項17】 前記コア基板は、内層に厚みの厚い導体層、表層に厚みの薄い導体層を備えることを特徴とする請求項12又は請求項13の多層プリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関する。

【0002】

【従来の技術】

ICチップ用のパッケージを構成するビルドアップ式の多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトリソエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出す。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子（PGA/BGAなど）を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4（フリップチップ）実装を行うことにより、ICチップと基板との電氣的接続を行っている。

【0003】

ビルドアップ式の多層プリント配線板の従来技術としては、特許文献1、特許文献2などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線の形成された多層プリント配線板を得られる。

【0004】

【特許文献1】

特開平6-260756号公報

【特許文献2】

特開平6-275959号公報

【0005】

【発明が解決しようとする課題】

しかしながら、ICチップが高周波になるにつれて、発生するノイズが高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなってきている。また、5GHzを越えるとさらにその傾向は高くなってきた。

そのために、機能すべきはずの動作（例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などを指す）が遅延したしするなどの不具合で、所望の機能が行えなくなってしまう。

所望の機能が行えないICチップ、基板をそれぞれ非破壊検査や分解したいところ、ICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい（特に1GHz未満）ICチップを実装した場合には、誤動作やエラーの発生はなかった。

【0006】

即ち、高周波用ICチップは、間欠的に電力消費を増減させることで、発熱を抑えながら高速演算を可能にしている。例えば、通常数W程度の消費であるのに、瞬時的に数十Wの電力を消費する。この数十Wの電力消費の際に、パッケージ基板の電力線のインピーダンスが高いと、消費が増大する電力の立ち上がり時に、供給電圧が下がり、誤動作の原因になっていると考えられる。

【0007】

本願発明は、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しない多層プリント配線板もしくはパッケージ基板を提案することを目的としている。

【0008】

【課題を解決するための手段】

発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、コア基板のスルーホールは、グランド用スルーホールと電源用スルーホールが隣り合う位置に配設されていることを技術的特徴とする。

それらがグランド用スルーホールと電源用スルーホール隣り合うことにより、それぞれに発生する誘導起電力の方向が相反するため、それぞれの誘導起電力が打ち消される。そのために、ノイズが小さくなり、基板としての機能が低下しない。そのために、誤作動や遅延することがなくなるのである。いいかえると相互インダクタンスを小さくすることができるのである。

このとき、双方のスルーホール間の距離が短い方がより望ましい。つまり、それにより相対的にインダクタンスを小さくすることができるからである。

【0009】

さらに、複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、

コア基板のスルーホールは、2つ以上のグランド用スルーホールと2つ以上の電源用スルーホールを有し、それぞれが隣り合う位置に格子状もしくは千鳥状に配設されていることを技術的特徴とする。

【0010】

それぞれ対角する位置に、グランド（あるいは電源）を配置し、それ以外の位置に、電源（あるいはグランド）を配置させる。その構成により、X方向およびY方向での誘導起電力の打ち消しがなされる。

これをスルーホールを格子状に配置した例を模式的に示す図11（A）を参照して説明をする。格子状に配設されたスルーホールにおいて、グランド用スルーホールGND1の等間隔で、電源用スルーホールVCC1、VCC2を配置させて、グランド用スルーホールGND1の対角線上に、電源用スルーホールGND2を配設させる。この4芯（カッド）構造にすることにより、ひとつグランド用

スルーホール GND（もしくは電源用スルーホール VCC）に対して、ふたつの電源用スルーホール VCC（もしくはグラウンド用スルーホール GND）による誘導起電力の打ち消しがなされる。そのために、スルーホールでの相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないので、誤作動や遅延などが発生しにくくなるのである。

【0011】

また、スルーホールを千鳥状に配置した例を模式的に示す図 11（B）を参照して説明をする。千鳥状に配設されたスルーホールにおいて、グラウンド用スルーホール GND 1 の等間隔で、グラウンド用スルーホール GND 2、GND 3 を配置させて、グラウンド用スルーホール GND 2 と同一距離間に電源用スルーホール VCC 1、VCC 2 を配設させる。この構造にすることにより、ひとつグラウンド用スルーホール GND（もしくは電源用スルーホール VCC）に対して、ふたつの電源用スルーホール VCC（もしくはグラウンド用スルーホール GND）による誘導起電力の打ち消しがなされる。そのために、スルーホールの相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないので、誤作動や遅延などが発生しにくくなるのである。

【0012】

格子状に配列させることが千鳥状に配列させることよりも、インダクタンスを低下させることができるのである。2 以上の同じ数をグラウンド用のスルーホールと電源用のスルーホールを配設させたときでも、格子にすると、ひとつのグラウンド用スルーホール GND（もしくは電源用スルーホール VCC）に対して、最大 4 箇所を等間隔で配列させることが可能となるし、相反する電源用スルーホール VCC も同様に最大 4 箇所を等間隔で配列させることができ、それぞれで誘導起電力を打ち消しあうため、相互インダクタンスを低下させることができるのである。

【0013】

元々グラウンド用スルーホール GND および電源用スルーホール VCC は、磁界などの影響を受けやすい。そのために、IC チップの高周波、高速化になるとインダクタンスが増加してしまうために、基板としての動作に問題を引き起こして

しまう。そのために、グラウンド用スルーホールGNDおよび電源用スルーホールVCCのインダクタンスの影響を抑えるための配置を考慮する必要性がある。例えば、高密度化の要求（高密度化、微細配線）に対して、単にスルーホールを狭く配置させればよいというものではない。上記のように配列させることがそれぞれのインダクタンスを低減させることができるのである。

【0014】

グラウンド用スルーホールと電源用のスルーホールとの距離（図11（C）中に示すピッチ：グラウンド用スルーホールGNDの中心と電源用スルーホールVCCの中心との距離）は、 $60 \sim 600 \mu\text{m}$ の間であることが望ましい。スルーホールとスルーホールの壁間の距離を短くすることにより、相互インダクタンスを低下させることができるのである。このとき、 $60 \mu\text{m}$ 未満のときは、スルーホール間の絶縁ギャップを確保することができず、短絡などの不具合を引き起こしてしまう。また、絶縁ギャップ等が起因となり、相互インダクタンスを設計許容値の範囲にすることが難しくなったりしてしまうこともある。 $600 \mu\text{m}$ を超える相互インダクタンスを低下させる効果が低減してしまう。 $60 \sim 550 \mu\text{m}$ の間であれば、スルーホールであれば、絶縁ギャップが確保でき、相互インダクタンスの低下させることができ、電気特性を向上させることができる。

【0015】

グラント用スルーホール径（図11（D）に示すスルーホールの外径）は $50 \sim 500 \mu\text{m}$ であり、同様に電源用スルーホール径は $50 \sim 500 \mu\text{m}$ であることが望ましい。

$50 \mu\text{m}$ 未満では、スルーホール内に導体層を形成することが困難となりやすい。また、自己インダクタンスが高くなる。

$500 \mu\text{m}$ を超えると、1本当たりの自己インダクタンス分は低下させれるが、限られた領域内に配置できるグラウンド線、電源線の数が減り、グラウンド線、電源線を多線化することによる全体としてのインダクタンスの低減が図り得なくなる。特に、格子や千鳥状に配列させた場合に、スルーホールピッチによっては、短絡などの不具合が起きるからである。つまり、スルーホールを形成すること自体が困難になるからである。

75～585 μm の間で形成させることがさらに望ましい。その間であれば、自己インダクタンスを低下させることができ、配線数を増やすことで全体としてのインダクタンスを下げ、電気特性を向上させることができる。更に、スルーホールピッチを狭ピッチにすることができる。

【0016】

スルーホールは、1つもしくは2つ以上スルーホール直上もしくはスルーホールのランド上から最外層まで全層スタック構造であることが望ましい。スルーホール直上に形成させることが望ましい。該スルーホールの接続は、スルーホール上に蓋めっきなどにより蓋構造からなるランドを形成し、その上にバイアホールをスタック状に形成されるビアオンスルーホールかつ、スタック構造であることがICチップから外部端子もしくはコンデンサまで直線上となって、最短距離になり、インダクタンスをより小さくすることができるからである。その場合には、格子状もしくは千鳥上で、GND用のスルーホールおよびVCC用のスルーホールを形成させることであることがさらに望ましい。理想は、格子状もしくは千鳥状に配列されたスルーホールの4ヶ所全てがスタック構造にすることである。

【0017】

グラント用スルーホールおよび電源用スルーホールは、ICチップの直下に配設されることが望ましい。

ICチップの直下に配置させることにより、ICと外部端子もしくはコンデンサとの距離を短くことができ、インダクタンスを低減させれる。

【0018】

この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に（電源用）導体層が設けられた基板、3層以上の多層化した導体層が形成された多層コア基板を用いることができる。

電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。

【0019】

多層コア基板の場合であれば、コア基板の外層と内層の導体層をそれぞれ足した厚みが、コアの導体層の厚みとなる。つまり、多層化しても、コア基板の導体層の厚みを厚くすることが本質であり、効果自体はなんら変わらないのである。

この場合は、3層（外層＋内層）からなるコア基板でもよい。

必要に応じて、コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納コア基板を用いてもよい。コアの絶縁材を誘電体材料にしてもよい。

【0020】

本願発明でのコア基板とは、以下のように定義される。芯材等が含浸された硬質基材であり、その両面もしくは片面に、芯材などを含まない絶縁樹脂層を用いて、フォトビアもしくはレーザによりバイアホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、コア基板の厚みは、樹脂絶縁層の厚みよりも厚いものである。基本的には、コア基板は電源層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うためだけに形成されている。

【0021】

なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板であるならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

【0022】

この場合、コア基板に形成されるGND層の導体厚みおよびVCC層の導体厚みを厚くすることが望ましい。その厚みは50 μ mを超えることが望ましい。特に、コア基板の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことがさらに望ましい。

【0023】

コア基板の導体層の厚みを厚くすることにより、コア基板の電源層の導体層が厚くなることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

また、導体自体の体積を増やすことができる。その体積を増やすことにより、

導体での抵抗が低減することができる。そのため流れる信号線などの電氣的な伝達などを阻害しなくなる。従って、伝達される信号などに損失を起こさない。それは、コアとなる部分の基板だけを厚くすることにより、その効果を奏する。

さらに、導体層を電源層として用いることで、ICチップへの電源の供給能力が向上させることができる。また、導体層をグランド層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させることができる。即ち、導体の抵抗の低減が、電源の供給も阻害しなくなる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

また、ICチップ～基板～コンデンサもしくは電源層～電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減することができる。

【0024】

特に、コア基板の電源層として用いられる導体層の厚みが、コア基板の片面もしくは両面上の層間絶縁層上に導体層の厚みより、厚いときに、上記効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、絶縁層の中に心材を含浸されていない樹脂で形成された層間樹脂絶縁層に、層間を接続させるための非貫通孔であるバイアホールを形成したものにめっき、スパッタなどを経て形成された導体層を主として意味する。これ以外にも特に限定されないがバイアホールを形成されたものであれば、上記の導体層に該当する。

【0025】

コア基板の電源層は、基板の表層、内層もしくは、その両方に配置させてもよい。内層の場合は、2層以上に渡り多層化してもよい。基本的には、コア基板の電源層は層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。ただ、内層に形成することが望ましい。

【0026】

コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ とすることが望ましい。

$\alpha 1 \leq \alpha 2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha 1 > 40 \alpha 2$ を越えた場合についても検討を行ったが、基本的には電気特性は、 $40 \alpha 2$ とほぼ同等である。つまり、効果の臨界点であると理解できる。これ以上厚くしても、電氣的な効果の向上は望めない。ただ、この厚みを越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うランド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまう。

【0027】

導体層の厚み $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 20 \alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足（電圧降下）による IC チップの誤動作やエラーなどが発生しないことが確認されている。

【0028】

3層以上の導体層を有する多層コア基板を用いることが望ましい。

その際、2層以上の GND 層或いは VCC 層を形成し、その層に介在して、VCC 層或いは GND 層を形成したものがよい。さらに、GND 層（或いは VCC 層）と、VCC 層（或いは GND 層）との各距離は均一であることがよい。それにより、双方のインダクタンスを低下させる作用が均一に働くために、総合的なインダクタンスを下げやすいからである。更に、インピーダンス整合が取りやすく、電気特性を向上させることができる。

さらに望ましいのは、VCC 層および GND 層がともに 2 層以上であることである。内層に配置されている GND 層であり、VCC 層であるインダクタンスが表層部分と比較すると相互的なインダクタンスの低下させるという効果を得られる。よりその効果が顕著に表れるのである。

【0029】

GND層とVCC層との距離は25～400 μ mの間であることが望ましい。25 μ m未満では、材料に係らず、絶縁性を確保することが困難になりやすいし、吸湿試験などの信頼性試験を実施すると、導体層同士での短絡を引き起こすこともある。400 μ mを超えると、インダクタンスを低下させる効果が低減されてしまう。つまり、距離が離れているためにより、相互インダクタンスの効果が相殺されてしまうのである。

【0030】

GND層およびVCC層ともに導体層の厚みが厚くすることがよい。その双方の体積を増やすことにより、抵抗値低減の効果を得やすいからである。その導体の厚みは、25～500 μ mであることが望ましい。25 μ m未満では、抵抗値の低減効果が薄くなりやすい。500 μ mを超えると、その上層に形成される信号線などの導体回路にうねりを生じてしまうことがあり、インピーダンスの整合という点で問題を引き起こしてしまう。基板自体の薄膜化という要求に対するも基板自体が厚くなることになるためにクリアし難くなる。この場合、層間絶縁層の導体層の厚みよりも厚いことが望ましい。

【0031】

コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、この効果を奏することができる。

【0032】

【発明の実施の形態】

図1～図9を参照して本発明の第1実施例に係る多層プリント配線板について説明する。

〔第1実施例〕 4層多層コア基板

まず、第1実施例に係る多層プリント配線板10の構成について、図8、図9を参照して説明する。図8は、該多層プリント配線板10の断面図を、図9は、図8に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図8に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面側に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、グランド用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層の導体層16E、裏面に導体層16Pが形成されている。上側の導体層16Eは、グランド用のプレーン層として形成され、下側の導体層16Pは、電源用のプレーン層として形成されている。電源用のプレーン層34P、16Pとの接続は、電源用スルーホール36Pやバイアホールにより行われる。グランド用のプレーン層34E、16Pとの接続は、グランド用スルーホール36Eやバイアホールにより行われる。多層コア基板30の上下での信号の接続は、信号用スルーホール36S、バイアホールにより行われる。プレーン層は、片側だけの単層であっても、2層以上に配置したものでもよい。2層～4層で形成されることが望ましい。4層以上では電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。多層コア基板30の中央には、電氣的に隔絶された金属板12が収容されている（該金属板12は、心材としての役目も果たしているが、スルーホールやバイアホールなどどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである）。該金属板12に、絶縁樹脂層14を介して表面側に、内層の導体層16E、裏面に導体層16Pが、更に、絶縁樹脂層18を介して表面側に導体回路34、導体層34Pが、裏面に導体回路34、導体層34Eが形成されている。

【0033】

多層コア基板30の表面の導体層34P、34Eの上には、バイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び

導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

【0034】

図9中に示すように、多層プリント配線板10の上面側のバンプ76Uは、ICチップ90の信号用ランド92S、電源用ランド92P、グランド用ランド92Eへ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、ドータボード94の信号用ランド96S、電源用ランド96P、グランド用ランド96Eへ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

【0035】

図10に図8の多層プリント配線板10のX-X横断面を示す。即ち、図10では、多層コア基板30の断面を示している。図中で、理解の便宜のため、電源用スルーホール36Pには上向きの印（図中中央の黒丸）、グランド用スルーホール36Eには下向きの印（図中の+）を付けてあり、信号用スルーホール36Sには何も印を付けていない。図11（A）は、図10（A）中に点線I部を拡大して示す説明図である。第1実施形態では、電源用スルーホール36Pとグランド用スルーホール36Eとが、隣り合う位置に格子状に配置されている。即ち、それぞれ対角する位置に、グランド（あるいは電源）を配置し、それ以外の位置に、電源（あるいはグランド）を配置させる。その構成により、X方向およびY方向での誘導起電力の打ち消しがなされる。

【0036】

図11（A）を参照して上述したように格子状に配設されたスルーホールにおいて、グランド用スルーホール36E（GND1）の等間隔で、電源用スルーホール36P（VCC1、VCC2）を配置させて、GND1の対角線上に、グランド用スルーホール36E（GND2）を配設させる。この4芯（カッド）構造にすることにより、ひとつGND（もしくはVCC）に対して、ふたつのVCC（もしくはGND）による誘導起電力の打ち消しがなされる。そのために、相互

インダクタンスを小さくすることができ、誘導起電力の影響を受けないのでノイズの影響を軽減でき、更に、インダクタンス分を下げることで、間欠的に電力消費量が増減する IC チップに対して、電力消費が増大する際にも電圧降下が生じず、誤作動や遅延などが発生しにくくなる。

【0037】

更に、図 8 に示すように多層コア基板 30 の中央に配置された電源用スルーホール 36 P とグランド用スルーホール 36 E とは、スルーホールの直上にバイアホール 60 及びバイアホール 160 が設けられるスタック構造となっている。該スルーホール 36 E、36 P とバイアホール 60 との接続は、スルーホール 36 E、スルーホール 36 P 上に蓋めっきなどにより蓋構造からなるランド 25 を形成し、その上にバイアホール 60 をスタック状に形成される。更に、上側のバイアホール 60 の直上にバイアホール 160 を設け、該バイアホール 160 が、IC チップ 90 の電源用ランド 92 E、グランド用ランド 92 E にバンプ 76 U を介して接続されている。同様に、下側バイアホール 60 の直下にバイアホール 160 を設け、該バイアホール 160 が、ドータボード 94 の電源用ランド 96 P、グランド用ランド 96 E にバンプ 76 D を介して接続されている。

【0038】

ビアオンスルーホールかつ、スタック構造であることが IC チップ 90 からドータボードのバンプ（外部端子）76 E、76 P もしくは図示しないコンデンサまで直線上となり、最短距離となり、インダクタンスをより小さくすることができるからである。その場合には、理想的は、格子状に配列されたスルーホールの 4 ケ所全てがスタック構造にする。

【0039】

グランド用スルーホール 36 E および電源用スルーホール 36 P は、IC チップ 90 の直下に配設されている。IC チップ 90 の直下に配置させることにより、IC 90 とドータボード 94 のバンプ（外部端子）96 E、96 P もしくは図示しないコンデンサとの距離を短くすることができる。そのためにインダクタンスを低減させれる。

【0040】

スルーホール36E、36P、36S間の距離（ピッチ）は、 $60\sim600\mu\text{m}$ に設定し、信号用スルーホール径36S（外径）を $50\sim500\mu\text{m}$ で形成させた。グラウンド用スルーホール36Eと電源用スルーホール36P間の距離（ピッチ）は、 $60\sim600\mu\text{m}$ に設定し、グラウンド用スルーホール36E径（外径）を $50\sim500\mu\text{m}$ で、電源用スルーホール36Pの径を $50\sim500\mu\text{m}$ で形成させた。スルーホール36E、36P、36Sは、コア基板30に形成した通孔の導体層を形成させ、その空隙内に絶縁樹脂を充填させた。それ以外にも、導電性ペーストもしくはめっきなどにより、スルーホール内を完全に埋めても良い。

【0041】

ここで、コア基板30表層の導体層34P、34Eは、厚さ $5\sim25\mu\text{m}$ に形成され、内層の導体層16P、16Eは、厚さ $5\sim250\mu\text{m}$ に形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は $5\sim25\mu\text{m}$ に形成されている。

【0042】

第1実施例の多層プリント配線板では、コア基板30の表層の電源層（導体層）34P、導体層34、内層の電源層（導体層）16P、導体層16Eおよび金属板12を厚くすることにより、コア基板の強度が増す。それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

【0043】

また、導体層34P、34E、導体層16P、16Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。

【0044】

更に、導体層34P、16Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さ

くなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層34E、16Eをグランド層として用いることで、ICチップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。コンデンサ98を実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。

【0045】

図12は、第1実施形態の改変例を示している。改変例では、コンデンサ98が、ICチップ90の直下に配置され、下面側に導電性接続ピン99が取り付けられている。コンデンサ98をICチップ90の直下に配設すれば、電源不足を起しにくくする効果は顕著になる。その理由として、ICチップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。

【0046】

図10(B)は、第1実施例の改変例に係るスルーホール配置を示している。図11(B)は、図10(B)中の中に点線II部を拡大して示す説明図である。第1実施形態の改変例では、電源用スルーホール36Pとグランド用スルーホール36Eとが、隣り合う位置に千鳥状に配置されている。即ち、それぞれ対角する位置に、グランド（あるいは電源）を配置し、それ以外の位置に、電源（あるいはグランド）を配置させる。その構成により、X方向およびY方向での誘導起電力の打ち消しがなされる。

【0047】

即ち、図11(B)を参照して上述したように、千鳥状に配設されたスルーホール36P、36Eにおいて、GND1の等間隔で、GND2、GND3を配置させて、GND2の同一距離間、VCC1、VCC2を配設させる。この構造にすることにより、ひとつGND（もしくはVCC）に対して、ふたつのVCC（もしくはGND）による誘導起電力の打ち消しがなされる。そのために、相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないので、誤動作や遅延などが発生しにくくなるのである。

【0048】

第1実施例では、多層コア基板30は、内層に厚い導体層16P、16Eを、表面に薄い導体層34P、34Eを有し、内層の導体層16P、16Eと表面の導体層34P、34Eとを電源層用の導体層、グランド用の導体層として用いる。即ち、内層側に厚い導体層16P、16Eを配置しても、導体層を覆う樹脂層が形成されている。そのために、導体層が起因となって凹凸を相殺させることで多層コア基板30の表面を平坦にすることができる。このため、層間絶縁層50、150の導体層58、158にうねりを生じせしめないように、多層コア基板30の表面に薄い導体層34P、34Eを配置しても、内層の導体層16P、16Eと足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダンスに不具合が起きない。導体層16P、34Pを電源層用の導体層として、導体層16E、34Eをグランド用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

【0049】

即ち、コア基板の内層の導体層16P、16Eの厚みを、層間絶縁層50、150上の導体層58、158よりも厚くする。これにより、多層コア基板30の表面に薄い導体層34E、34Pを配置しても、内層の厚い導体層16P、16Eと足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 40$ であることが望ましい。
 $1.2 \leq (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 20$ であることがさらに望ましい。

【0050】

多層コア基板30は、電氣的に隔絶された金属板12の両面に、樹脂層14を介在させて内層の導体層16P、16Eが、更に、当該内層の導体層16P、16Eの外側に樹脂層18を介在させて表面の導体層34P、34Eが形成されて成る。中央部に電氣的に隔絶された金属板12を配置することで、十分な機械的強度を確保することができる。更に、金属板12の両面に樹脂層14を介在させて内層の導体層16P、16Eを、更に、当該内層の導体層16P、16Eの外側に樹脂層18を介在させて表面の導体層34P、34Eを形成することで、金

属板 12 の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

【0051】

引き続き、図 8 に示す多層プリント配線板 10 の製造方法について図 1 ～図 7 を参照して説明する。

(1) 金属層の形成

図 1 (A) に示す厚さ $50 \sim 400 \mu\text{m}$ の間の内層金属層 (金属板) 12 に、表裏を貫通する開口 12a を設ける (図 1 (B))。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されているものを用いることができる。開口 12a は、パンチング、エッチング、ドリリング、レーザなどによって穿設する。場合によっては、開口 12a を形成した金属層 12 の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜 13 を被覆してもよい (図 1 (C))。なお、金属板 12 は、単層でも、2 層以上の複数層でもよい。また、金属膜 13 は、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのクラックなどの不具合が引き起こしにくい。

【0052】

(2) 内層絶縁層の形成

金属層 12 の全体を覆い、開口 12a 内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み $30 \sim 200 \mu\text{m}$ 程度の B ステージ状の樹脂フィルムを金属板 12 で挟んでから、熱圧着してから硬化させ絶縁樹脂層 14 を形成することができる (図 1 (D))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT 樹脂等の熱硬化性樹脂をガラスクロス等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。

【0053】

(3) 金属箔の貼り付け

樹脂層14で覆われた金属層12の両面に、内層金属層16 α を形成させる（図1（E））。その一例として、厚み12～275 μm の金属箔を積層させた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで形成できる。

【0054】

（4）内層金属層の回路形成

内層金属層は2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンテイング法、エッチング工程等を経て、内層金属層16 α から内層導体層16P、16Eを形成させた（図1（F））。このときの内層導体層の厚みは、10～250 μm で形成させた。

【0055】

（5）外層絶縁層の形成

内層導体層16P、16Eの全体を覆い、および外層金属その回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み30～200 μm 程度のBステージ状の樹脂フィルムを金属板で挟んでから、熱圧着してから硬化させ、外層絶縁樹脂層18を形成する（図2（A））。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦にすることができる。

【0056】

（6）最外層の金属箔の貼り付け

外層絶縁樹脂層18で覆われた基板の両面に、最外層の金属層34 α を形成させる（図2（B））。その一例として、厚み12～275 μm の金属箔を積層させる。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

【0057】

（7）スルーホール形成

基板の表裏を貫通する開口径50～500 μm のスルーホール用通孔36 α を

形成する（図 2（C））。形成方法としては、ドリル、レーザもしくはレーザとドリルの複合により形成させる（最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる）。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。スルーホール間の距離（ピッチ）は、 $60 \sim 600 \mu\text{m}$ で形成させた。

【0058】

スルーホールの導電性を確保するために、スルーホール用通孔 36a 内にめっき膜 22 を形成し、表面を粗化した後（図 2（D））、充填樹脂 23 を充填することが望ましい（図 2（E））。充填樹脂としては、電気的な絶縁されている樹脂材料、（例えば 樹脂成分、硬化剤、粒子等が含有されているもの）、金属粒子による電気的な接続を行っている導電性材料（例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。）のいずれかを用いることができる。

めっきとしては、電解めっき、無電解めっき、パネルめっき（無電解めっきと電解めっき）などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有してももので形成されるのである。めっき金属の厚みとしては、 $5 \sim 30 \mu\text{m}$ の間で形成されることが望ましい。

【0059】

スルーホール用通孔 36a 内に充填する充填樹脂 23 は、樹脂材料、硬化剤、粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が $0.1 \sim 5 \mu\text{m}$ のものを同一径もしくは、複合径のものと混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂（例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹脂など）、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが単一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。導電性材料を用い

てもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものなどを用いてもよい。めっきでスルーホール用通孔 36 a 内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。

【0060】

このとき形成したスルーホールは、グランド用スルーホール 36 E と電源用スルーホール 36 P とで、図 11 (A) を参照して上述したように、格子状に配置させた。

【0061】

(8) 最外層の導体回路の形成

全体にめっき膜を被覆することで、スルーホール 36 S、36 E、36 P の直上に蓋めっき 25 を形成してもよい (図 3 (A))。その後、テンテイング法、エッチング工程等を経て、外層の導体回路 34、34 P、34 E を形成する (図 3 (B))。これにより、多層コア基板 30 を完成する。

このとき、図示されていないが多層コア基板の内層の導体層 16 P、16 E 等との電気接続を、バイアホールやブラインドスルーホール、ブラインドバイアホールにより行ってもよい。

【0062】

(9) 導体回路 34 を形成した多層コア基板 30 を黒化処理、および、還元処理を行い、導体回路 34、導体層 34 P、34 E の全表面に粗化面 34 β を形成する (図 3 (C))。

【0063】

(10) 多層コア基板 30 の導体回路非形成部に樹脂充填材 40 の層を形成する (図 4 (A))。

【0064】

(11) 上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層 34 P、34 E の外縁部に樹脂充填材 40 が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層 34 P、34 E の全表面 (スルーホー

ルのランド表面を含む) にバフ等でさらに研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で1時間、150℃で1時間の加熱処理を行って樹脂充填材40を硬化した(図4(B))。

なお、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

【0065】

(12) 上記多層コア基板30に、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36S、36E、36Pのランド表面と内壁とをエッチング等により、導体回路の全表面に粗化面36 β を形成した(図4(C))。

【0066】

(13) 多層コア基板30の両面に、層間樹脂絶縁層用樹脂フィルム50 γ を基板上に載置し、仮圧着して裁断した後、さらに、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(図5(A))。

【0067】

(14) 次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 μ mのCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅7.9 μ 秒、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層50に、直径80 μ mのバイアホール用開口50aを形成した(図5(B))。

【0068】

(15) 多層コア基板30を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50 α を形成した(図4(C))。粗化面は0.1~5 μ mの間で形成した。

【0069】

(16) 次に、上記処理を終えた多層コア基板30を、中和溶液(シプレイ社製)に浸漬してから水洗いした。さらに、粗面化処理(粗化深さ3 μ m)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およ

びバイアホール用開口の内壁面に触媒核を付着させた。

【0070】

(17) 次に、無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ $0.6 \sim 3.0 \mu\text{m}$ の無電解銅めっき膜を形成し、バイアホール用開口 50a の内壁を含む層間樹脂絶縁層 50 の表面に無電解銅めっき膜 52 が形成された基板を得る (図 4 (D))。

【0071】

(18) 無電解銅めっき膜 52 が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、現像処理することにより、めっきレジスト 54 を設けた (図 6 (A))。めっきレジストの厚みは、 $10 \sim 30 \mu\text{m}$ の間を用いた。

【0072】

(19) ついで、多層コア基板 30 に電解めっきを施し、めっきレジスト 54 非形成部に、厚さ $10 \sim 20 \mu\text{m}$ の電解銅めっき膜 56 を形成した (図 6 (B))。

【0073】

(20) さらに、めっきレジストを 5% 程度の KOH で剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路 58 及びバイアホール (フィルドバイアホール) 60 とした (図 6 (C))。

【0074】

(21) ついで、上記 (12) と同様の処理を行い、導体回路 58 及びバイアホール 60 の表面に粗化面 58α 、 60α を形成した。上層の導体回路 58 の厚みは $10 \sim 25 \mu\text{m}$ で形成された。今回の厚みは $15 \mu\text{m}$ の厚みであった (図 6 (D))。

【0075】

(22) 上記 (14) ～ (21) の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層 150、導体回路 158、バイアホール 160 を形成し、多層配線板を得た (図 7 (A))。

【0076】

(23) 次に、多層配線基板の両面に、 solderレジスト組成物 70 を 12~30 μm の厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後(図7(B))、solderレジスト開口部のパターンが描画された厚さ5mmのフォトリソマスクをsolderレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μm の直径の開口71を形成した(図7(C))。

そして、さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってsolderレジスト層70を硬化させ、開口71を有し、その厚さが10~25 μm のsolderレジストパターン層70を形成した。

【0077】

(24) 次に、solderレジスト層70を形成した基板を、無電解ニッケルめっき液に浸漬して、開口部71に厚さ5 μm のニッケルめっき層72を形成した。さらに、その基板を無電解金めっき液に浸漬して、ニッケルめっき層72上に、厚さ0.03 μm の金めっき層74を形成した(図7(D))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

【0078】

(25) この後、基板のICチップを載置する面のsolderレジスト層70の開口71に、スズ-鉛を含有する半田ペーストを印刷し、さらに他方の面のsolderレジスト層の開口にスズ-アンチモンを含有する半田ペーストを印刷した後、200℃でリフローすることにより外部端子を形成し、はんだバンプ76U、76Dを有する多層プリント配線板を製造した(図8)。

【0079】

[第2実施例] 3層多層コア基板

図13を参照して第2実施例に係る多層プリント配線板について説明する。

図8を参照して上述した第1実施例では、コア基板が4層(グラウンド層16E、34E:2、電源層16P、34P:2)で形成されていた。これに対して、

第2実施例では、図13中に示すように多層コア基板30が3層（グラント層34E、34E：2、電源層15P：1）で形成されている。

【0080】

図13に示すように、第2実施例に係る多層プリント配線板10では、多層コア基板30の表面及び裏面に導体回路34、グラント用導体層34Eが形成され、コア基板30内に電源用導体層15Pが形成されている。グラント用導体層34Eはグラント用のプレーン層として、電源用導体層15Pは電源用のプレーン層として形成されている。グラント用スルーホール36Eは、コア基板の両面でグラント用導体層34Eと接続され、電源用スルーホール36Pは、コア基板の中央で電源用導体層15Pと接続されている。信号は、信号線スルーホール36Sを介して多層コア基板30の両面で接続されている。グラント用導体層34Eの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配置されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

【0081】

この第2実施例においても、図10（A）、図10（B）を参照して上述した第1実施例と同様に、電源用スルーホール36P、グラント用スルーホール36Eが格子状、又は、千鳥状に配置され、相互インダクタンスの低減が図られている。

【0082】

ここで、コア基板30上に導体回路34、導体層34E及びコア基板内に導体層15Pが形成されている。一方、層間樹脂絶縁層50上に導体回路58及び層間樹脂絶縁層150上に導体回路158が形成されている。コア基板上の導体層34Eの厚みは1～250 μ mの間で形成されて、コア基板内に形成された電源層としての役目を果たす導体層15Pの厚みは、1～250 μ mの間で形成されている。この場合の導体層の厚みは、コア基板の電源層の厚みの総和である。

内層である導体層 15 P、表層である導体層 34 E の双方を足したものであるという意味である。信号線の役目を果たしているものとを足すことではない。この第 2 実施例においても、3 層の導体層 34 E、15 P の厚みを合わせることで、第 1 実施例と同様な効果を得ている。電源層の厚みは上述の範囲を超えてもよい。

【0083】

[第 2 実施例の改変例]

図 14 に第 2 実施例の改変例に係る多層プリント配線板の断面を示す。図 13 を参照して上述した第 2 実施例では、多層コア基板 30 が、3 層（グラウンド層 34 E、34 E : 2、電源層 15 P : 1）で形成されていた、これに対して、第 2 実施例の改変例では、多層コア基板 30 が、3 層（グラウンド層 15 E : 1、電源層 34 P、34 P : 2）で形成されている。

【0084】

図 14 に示すように、第 2 実施例に係る多層プリント配線板 10 では、多層コア基板 30 の表面及び裏面に導体回路 34、電源用導体層 34 P が形成され、コア基板 30 内にグラウンド用導体層 15 E が形成されている。グラウンド用導体層 15 E はグラウンド用のプレーン層として、電源用導体層 34 P、34 P は電源用のプレーン層として形成されている。グラウンド用スルーホール 36 E は、コア基板の中央でグラウンド用導体層 15 E、15 E と接続され、電源用スルーホール 36 P は、コア基板の両面で電源用導体層 34 P、34 P と接続されている。信号は、信号線スルーホール 36 S を介して多層コア基板 30 の両面で接続されている。電源用導体層 34 P の上にバイアホール 60 及び導体回路 58 の形成された層間樹脂絶縁層 50 と、バイアホール 160 及び導体回路 158 の形成された層間樹脂絶縁層 150 とが配置されている。

【0085】

この第 2 実施例の改変例においても、図 10 (A)、図 10 (B) を参照して上述した第 1 実施例と同様に、電源用スルーホール 36 P、グラウンド用スルーホール 36 E が格子状、又は、千鳥状に配置され、相互インダクタンスの低減が図られている。また、第 2 実施例の改変例においても、第 2 実施例と同様な厚みに

、多層コア基板 30 の 3 層の導体層 34 P、34 E、15 E 及び層間樹脂絶縁層 50、150 の導体回路 58、158 が形成され、同様な効果を得ている。

【0086】

[第3実施例] ガラスエポキシ樹脂基板

上述した第1、第2実施例では、多層コア基板 30 が用いられた、これに対して、第3実施例では、図 15 に示すように単板のコア基板 30 が用いられ、コア基板の両面の導体層が、電源層、グランド層として形成されている。即ち、コア基板 30 の上面にグランド層 34 E が、下面に電源層 34 P が形成されている。コア基板 30 の表面と裏面とは電源用スルーホール 36 P、グランド用スルーホール 36 E、信号用スルーホール 36 S を介して接続されている。更に、導体層 34 P、34 E の上にバイアホール 60 及び導体回路 58 の形成された層間樹脂絶縁層 50 と、バイアホール 160 及び導体回路 158 の形成された層間樹脂絶縁層 150 とが配設されている。

【0087】

この第3実施例においても、図 10 (A)、図 10 (B) を参照して上述した第1実施例と同様に、電源用スルーホール 36 P、グランド用スルーホール 36 E が格子状、又は、千鳥状に配置され、相互インダクタンスの低減が図られている。

【0088】

ここで、コア基板 30 上の導体層 34 P、34 E は、厚さ $1 \sim 250 \mu\text{m}$ に形成され、層間樹脂絶縁層 50 上の導体回路 58 及び層間樹脂絶縁層 150 上の導体回路 158 は $5 \sim 25 \mu\text{m}$ (望ましい範囲 $10 \sim 20 \mu\text{m}$) に形成されている。

【0089】

第3実施例の多層プリント配線板では、コア基板 30 の電源層 (導体層) 34 P、導体層 34 E が厚くなることにより、コア基板の強度が増す、それによりコア基板自体の厚みを薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。また、導体層 34 P、34 E を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗

が低減することができる。

【0090】

更に、導体層 34P を電源層として用いることで、IC チップへの電源の供給能力が向上させることができる。そのため、該多層プリント基板上に IC チップを実装したときに、IC チップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域の IC チップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層 34E をグランド層として用いることで、IC チップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。

【0091】

[比較例 1]

比較例 1 として、実施例 3 とほぼ同じであるが、5 つのグランド用スルーホールと 5 つの電源用スルーホールを形成させた。グランド用スルーホールと電源用スルーホールとが隣り合わない位置に形成させた。つまり、グランド用スルーホールと電源用のスルーホールとをランダムに形成させて、かつ、グランド用スルーホールと電源用のスルーホールとの最短距離は、 $650\mu\text{m}$ 、 $600\mu\text{m}$ 、 $550\mu\text{m}$ の 3 種類を形成した。

【0092】

参考例 1 として、実施例 1 とほぼ同じであるが、グランド用スルーホールと電源用スルーホールの距離が、 $600\mu\text{m}$ を超えるものを形成させた。その一例として、 $650\mu\text{m}$ で形成したものを作成した。

【0093】

参考例 2 として、実施例 3 とほぼ同じであるが、グランド用スルーホールと電源用スルーホールの距離が、 $600\mu\text{m}$ を超えるものを形成させた。その一例として、 $650\mu\text{m}$ で形成したものを作成した。ループインダクタンスは、参考例 1 と同様になった。

【0094】

参考例 3 として、実施例 1 とほぼ同じであるが、グランド用スルーホールと電

源用スルーホールの径が、 $25\mu\text{m}$ のものを形成して、グラウンド用スルーホールと電源用スルーホールの距離が $60\mu\text{m}$ 未満ものを形成させた。その一例として、 $50\mu\text{m}$ で形成したものを作成した。

【0095】

参考例4として、実施例3とはほぼ同じであるが、グラウンド用スルーホールと電源用スルーホールの径が、 $25\mu\text{m}$ のものを形成して、グラウンド用スルーホールと電源用スルーホールの距離が $60\mu\text{m}$ 未満ものを形成させた。その一例として、 $50\mu\text{m}$ で形成したものを作成した。ループインダクタンスは、参考例1と同様になった。

【0096】

ここで、第1実施例での多層プリント配線板のスルーホールの格子配置、第1実施例の改変例の千鳥配置、参考例1、参考例3、比較例1のスルーホールのランダム配置に対するスルーホールの距離（スルーホールピッチ）、スルーホール径を変えて、ループインダクタンスを測定した結果を図16に示している。ここで、ここで、ループインダクタンスの値は、 10mm 平方当たりの値である。

【0097】

スルーホールピッチを変えても、ランダム配置（グラウンド用スルーホールと電源用スルーホールが隣り合わない構造）よりも、格子配置もしくは千鳥配置（グラウンド用スルーホールと電源用スルーホールが隣り合う構造）の方がループインダクタンスを低減することができるのである。それにより、ノイズを抑えることができ、誤動作や遅延などを抑えられるのであり、相互インダクタンス自体も小さくすることができるのである。

【0098】

また、スルーホールピッチに関係なく、格子配置であることが、千鳥配置に比べるとループインダクタンスを低減させることができるのである。そのために、電気特性上は優位であるといえる。図16の値からも、グラウンド用スルーホール36Eと電源用スルーホール36Pとは対角線上に配置した方が、相互インダクタンス値を下げることができる。

【0099】

また、スルーホールピッチを変えて、ループインダクタンスをシュミレートから算出した、その結果を図17 (B) 及び図18に示した。ここで、ループインダクタンスの値は、10mm平方当たりの値である。

さらに、格子配置および千鳥配置での各スルーホールピッチにおける基板での高温高湿条件下 (85℃、湿度85wt%、500hr実施) における信頼性試験をして、スルーホールの絶縁層のクラックの有無、導通試験での抵抗値測定結果を図17 (A) に示した。

【0100】

ループインダクタンスが75pH以下になると、周波数が3GHzのICチップにおける基板の特性を向上させることができるのである。この場合、図16の結果より、スルーホールピッチが600μm以下でそのような結果になるのである。また、図17 (A) の結果を考慮すると、60~600μmの間であることが適正に電気特性を向上させることができ、信頼性を確保させることができるといえる。

また、格子配置に形成した場合には、スルーホールピッチが60~600μmの間であることが望ましい。その範相であれば、ループインダクタンスを一定レベル (75pH) 以下に低減させることができるし、信頼性も確保できるからである。さらに、スルーホールピッチが75~550μmの間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

【0101】

また、千鳥配置に形成した場合には、スルーホールピッチが60~550μmの間であることが望ましい。その範囲であれば、ループインダクタンスを一定レベル (75pH) 以下に低減させることができるし、信頼性も確保できるからである。さらに、スルーホールピッチが75~500μmの間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

【0102】

また、ループインダクタンスが60pH以下になると、周波数が5GHzのI

Cチップにおける基板の特性を向上させることができるのである。この場合、図16の結果より、スルーホールピッチが $550\mu\text{m}$ 以下でそのような結果になるのである。また、図17(A)の結果を考慮すると、 $60\sim 550\mu\text{m}$ の間であることが適正に電気特性を向上させることができ、信頼性を確保させることができるといえる。

【0103】

なお、格子配置に形成した場合には、スルーホールピッチが $60\sim 550\mu\text{m}$ の間であることが望ましい。その範囲であれば、ループインダクタンスのレベルを 60pH 以下に低減させることができるし、信頼性も確保できるからである。さらに、スルーホールピッチが $75\sim 500\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

【0104】

また、千鳥配置に形成した場合には、スルーホールピッチが $60\sim 425\mu\text{m}$ の間であることが望ましい。その範囲であれば、ループインダクタンスのレベルを 60pH 以下に低減させることができるし、信頼性も確保できるからである。さらに、スルーホールピッチが $75\sim 500\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

【0105】

さらにループインダクタンスが 55pH 以下になると、ICチップの周波数に関係なく基板の特性を向上させることができるのである。この場合、図16の結果より、スルーホールピッチが $450\mu\text{m}$ 以下でそのような結果になるのである。また、図17(A)の結果を考慮すると、 $60\sim 450\mu\text{m}$ の間であることが適正に電気特性を向上させることができ、信頼性を確保させることができるといえる。

【0106】

なお、格子配置に形成した場合には、スルーホールピッチが $60\sim 450\mu\text{m}$ の間であることが望ましい。その範囲であれば、ループインダクタンスのレベルを 60pH 以下に低減させることができるし、信頼性も確保できるからである。さらに、スルーホールピッチが $75\sim 425\mu\text{m}$ の間であれば、該当のループイ

ンダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

【0107】

また、千鳥配置に形成した場合には、スルーホールピッチが $60 \sim 400 \mu\text{m}$ の間であることが望ましい。その範囲であれば、ループインダクタンスのレベルを 60 pH 以下に低減させることができるし、信頼性も確保できるからである。さらに、スルーホールピッチが $75 \sim 350 \mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

【0108】

それぞれの実施例と比較例と参考例の基板に周波数 3.1 GHz のICチップを実装して、同じ量の電源を供給す。起動させたときの電圧の降下した量をシュミレートした結果を図19に示した。ここでは、導体層の厚みについて検証を行った。横軸に（コアの電源層厚み／層間絶縁層厚みの比）を設定し、縦軸に最大電圧降下量（V）を設定して

導体の厚みが薄いとビア接続部での剥がれが生じ、信頼性が低下してしまう。しかしながら、コア基板の電源層の厚み／層間絶縁層の導体層の厚みの比 1.2 を越えると、信頼性が向上する。一方、コア基板の電源層の厚み／層間絶縁層の導体層の厚み比 40 を越えると、上層の導体回路における不具合（例えば、上層の導体回路への応力の発生やうねりによる密着性の低下を引き起こしてしまう等）のため、信頼性が低下してしまった。

電源電圧 1.0 V のとき、変動許容範囲 $\pm 10\%$ であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧降下量が 0.1 V 以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。 0.09 V 以下であれば、安定性が増すことになる。それ故に、（コア基板の電源層の厚み／層間絶縁層の厚み）の比が 1.2 を越えるの良いのである。さらに、 $1.2 \leq (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ の範囲であれば、数値が減少傾向にあるため、その効果が得やすいということとなる。また、 $40 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み})$ という範囲では、電圧降下量が上昇している。

更に、 $5.0 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ 未満で

あれば、電圧降下量がほぼ同じであることから、安定しているということとなる。つまり、この範囲が、最も望ましい比率範囲であるということが言える。

【0109】

【発明の効果】

本願発明では、グランド用スルーホールと電源用スルーホール隣り合うことにより、それぞれに発生する誘導起電力の方向が相反するため、それぞれの誘導起電力が打ち消される。そのために、ノイズが小さくなり、基板としての機能が低下しない。そのために、誤作動や遅延することがなくなるのである。いいかえると相互インダクタンスを小さくすることができる。

【0110】

さらに、コア基板のグランド用スルーホールと2電源用スルーホールとが、格子状もしくは千鳥状に配設され、それぞれ対角する位置に、グランド（あるいは電源）を配置し、それ以外の位置に、電源（あるいはグランド）を配置させる。その構成により、X方向およびY方向での誘導起電力の打ち消しが行なわれる。相互インダクタンスを小さくし、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図2】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図3】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図4】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図5】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図6】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図7】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図8】

第1実施例に係る多層プリント配線板の断面図である。

【図9】

第1実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図10】

図10(A)は、図8中の多層プリント配線板のX-X横断面図であり、図10(B)は、第1実施例の改変例に係る多層プリント配線板の横断面図である。

【図11】

図11(A)は、図10(A)中の点線I部を拡大して示す説明図であり、図11(B)は、図11(B)中の点線II部を拡大して示す説明図であり、図11(C)は、スルーホールのピッチの説明図である。

【図12】

第1実施例の改変例に係る多層プリント配線板の断面図である。

【図13】

第2実施例に係る多層プリント配線板の断面図である。

【図14】

第2実施例の改変例に係る多層プリント配線板の断面図である。

【図15】

第3実施例に係る多層プリント配線板の断面図である。

【図16】

スルーホールの格子配置、千鳥配置に対するループインダクタンスをシュミレートした結果を示した図表である。

【図17】

(A)、(B)は、スルーホールの格子配置、千鳥配置に対するループインダクタンスをシュミレートした結果を示した図表である。

【図 18】

スルーホールの格子配置、千鳥配置に対するループインダクタンスをシュミレートした結果を示したグラフである。

【図 19】

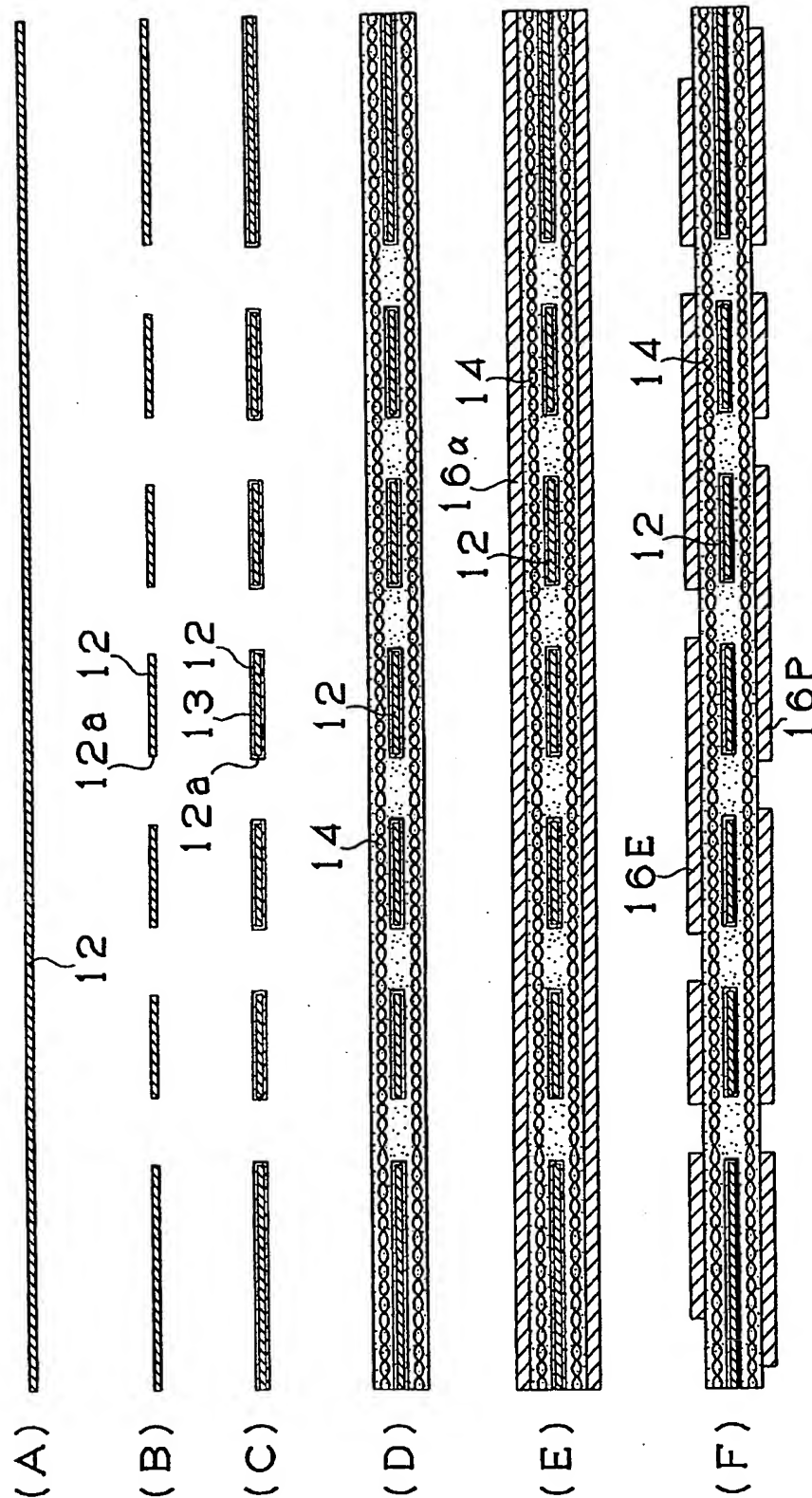
(コアの電源層厚み/層間絶縁層厚みの比) に対する最大電圧降下量 (V) をシュミレートした結果を示したグラフである。

【符号の説明】

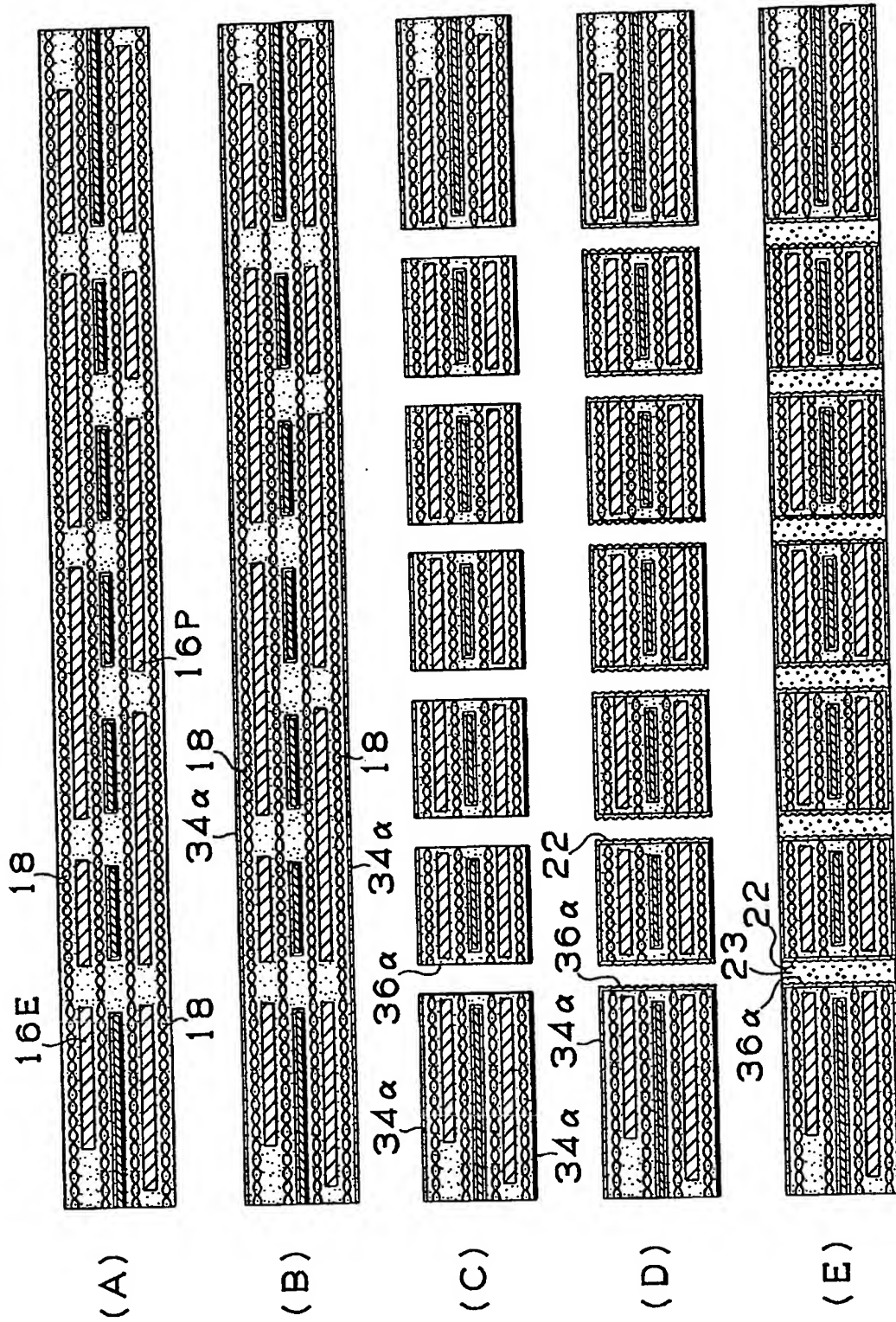
- 12 金属層 (金属板)
- 14 樹脂層
- 16P 導体層
- 16E 導体層
- 18 樹脂層
- 30 基板
- 32 銅箔
- 34 導体回路
- 34P 導体層
- 34E 導体層
- 36P 電源用スルーホール
- 36E グランド用スルーホール
- 40 樹脂充填層
- 50 層間樹脂絶縁層
- 58 導体回路
- 60 バイアホール
- 70 ソルダーレジスト層
- 71 開口
- 76U、76D 半田バンプ
- 90 ICチップ
- 94 ドータボード
- 98 チップコンデンサ

【書類名】 図面

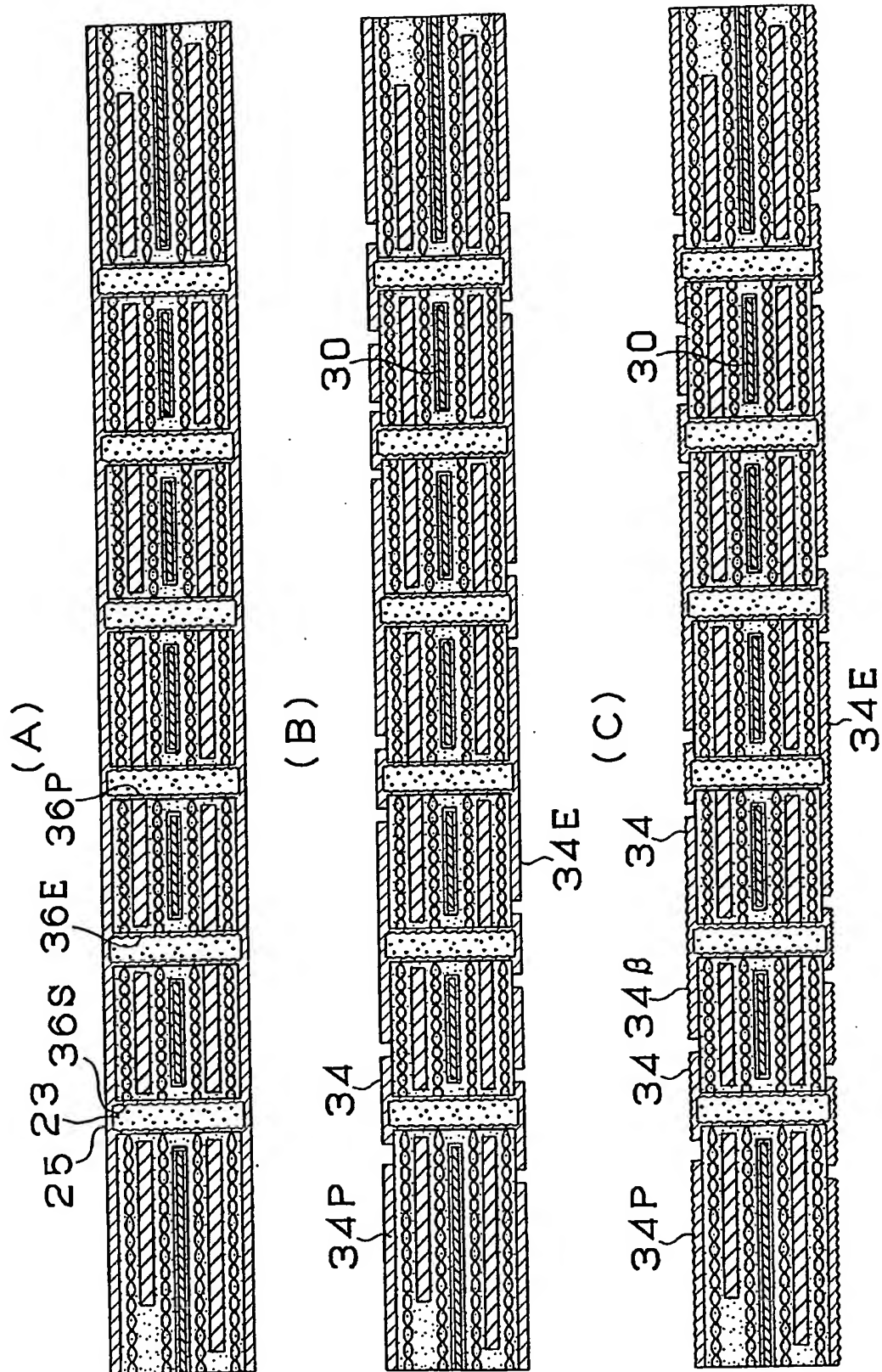
【図 1】



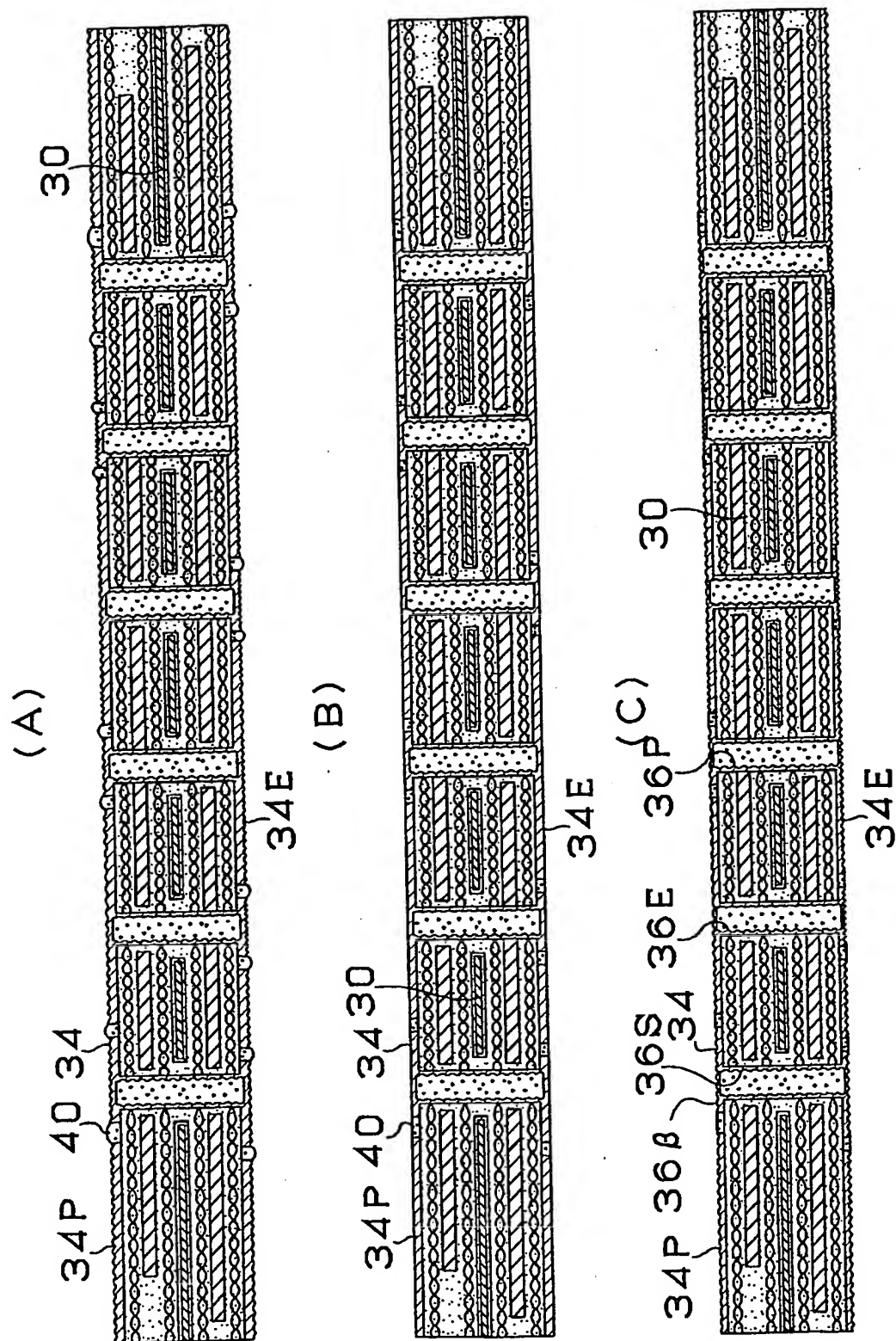
【図 2】



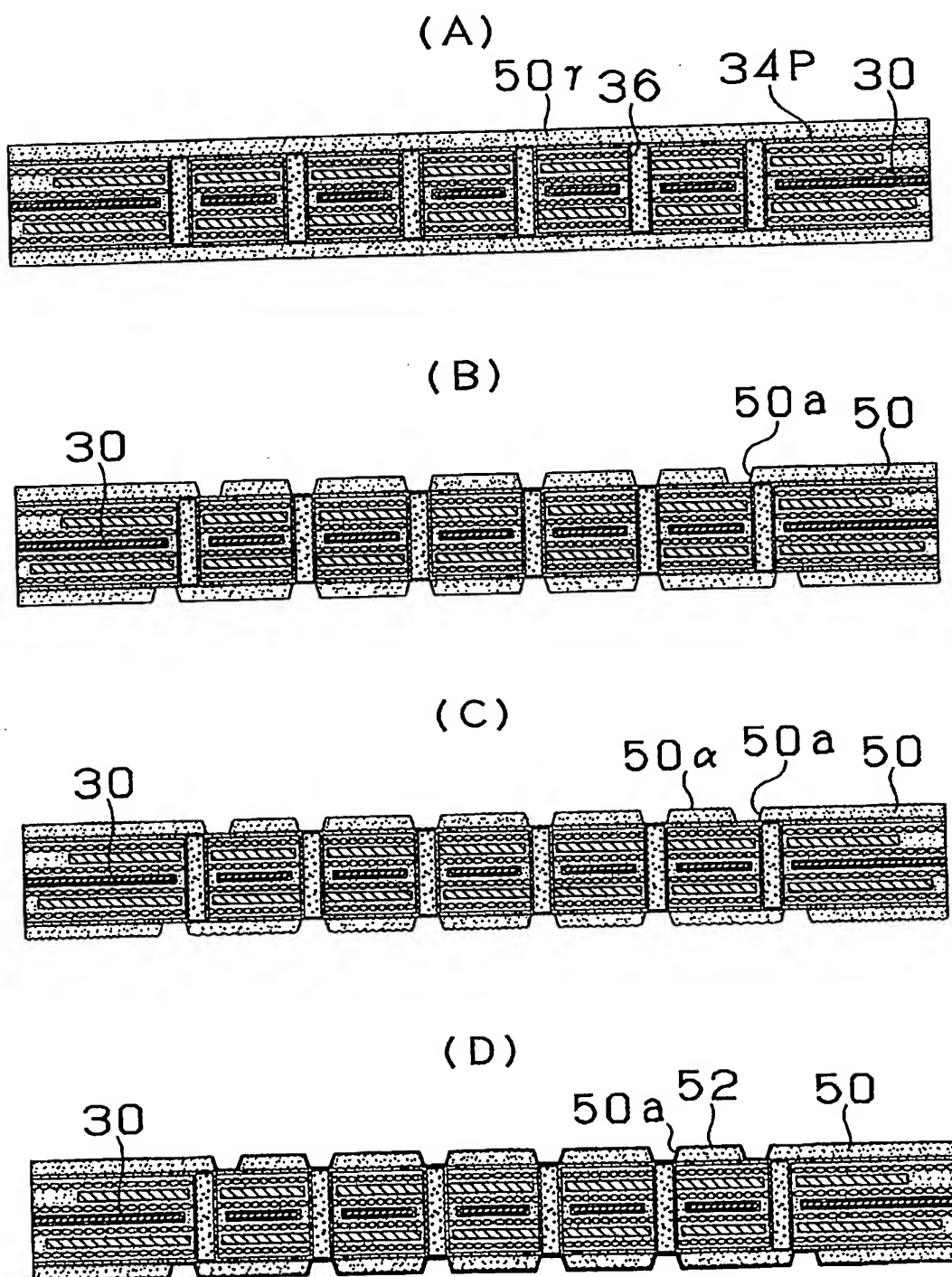
【図 3】



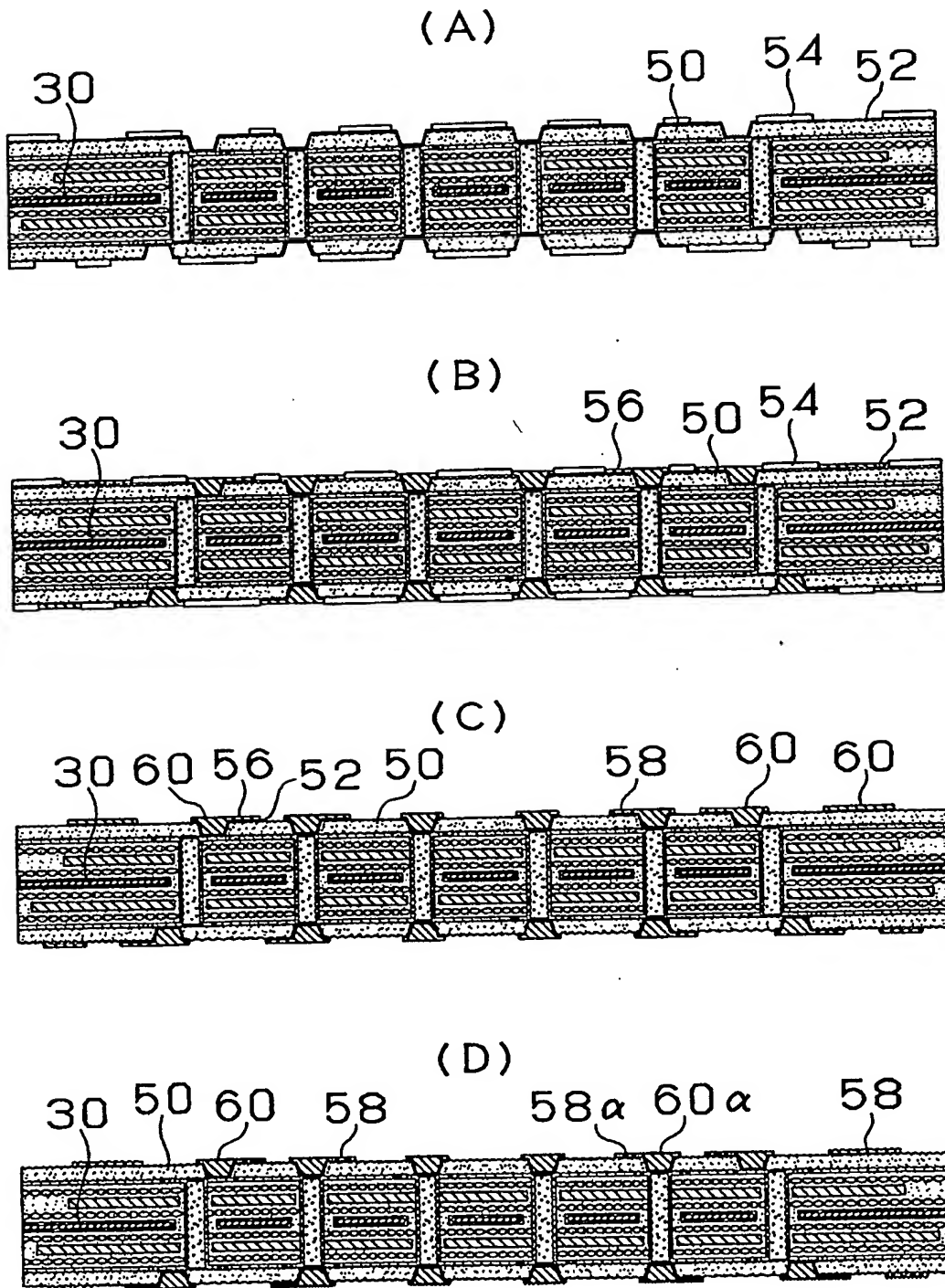
【図4】



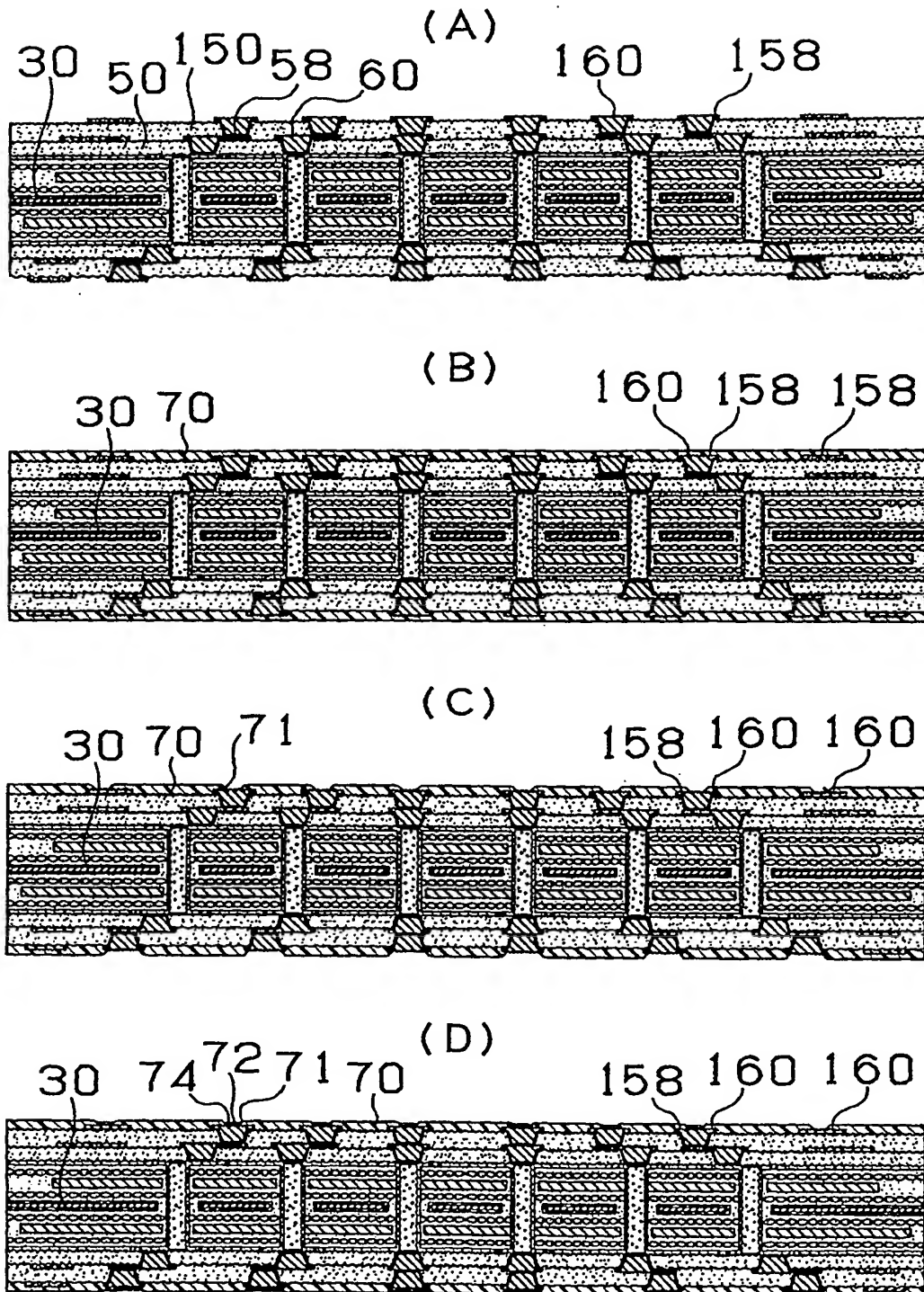
【図 5】



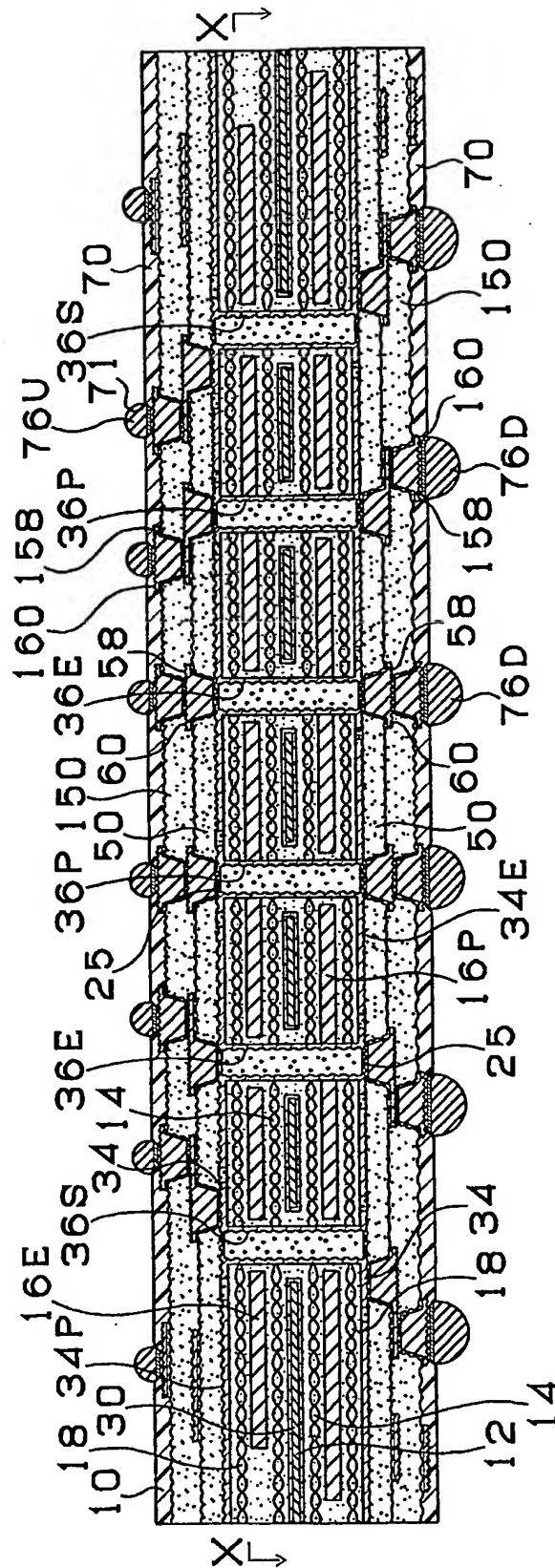
【図6】



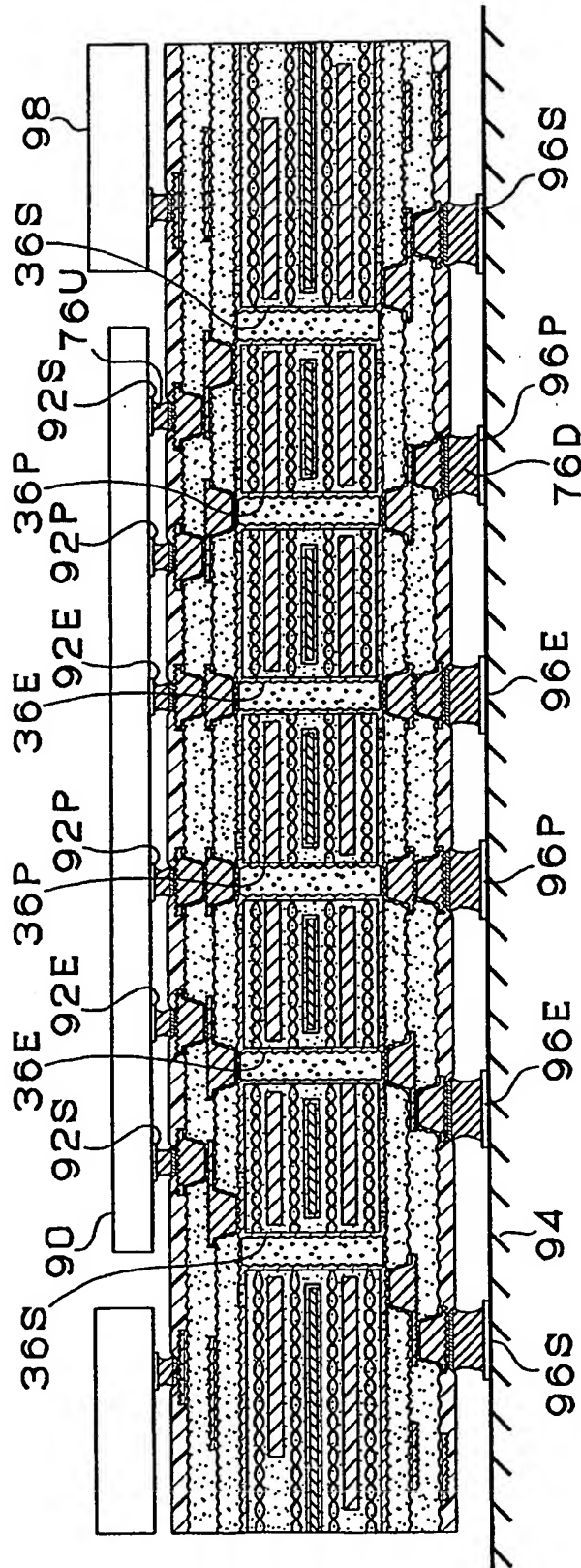
【図7】



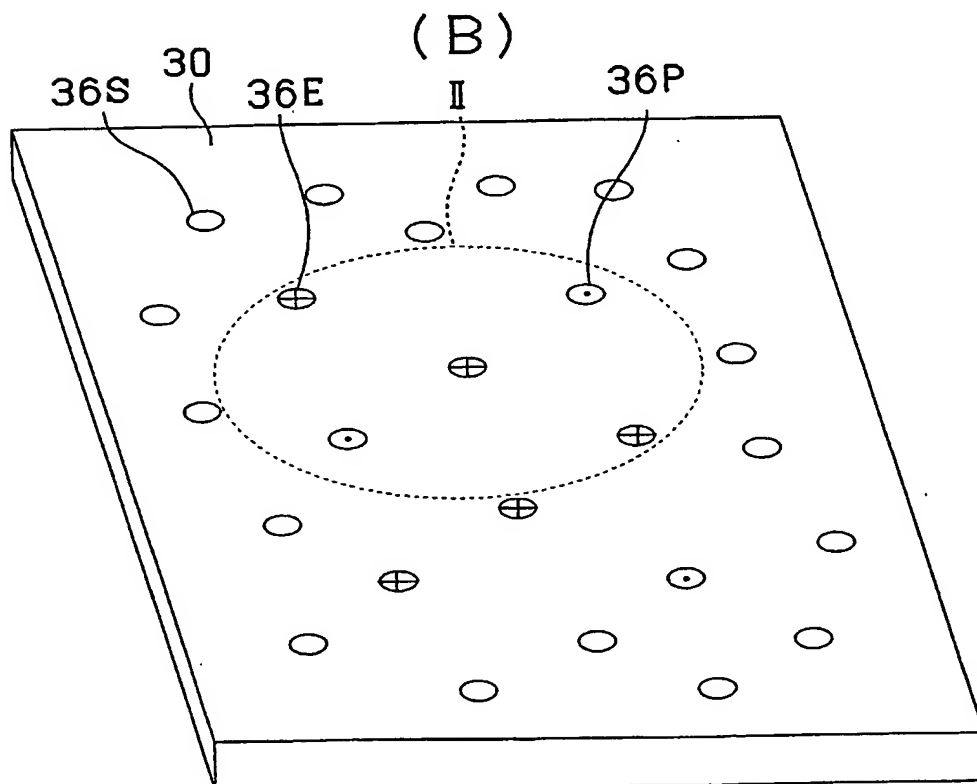
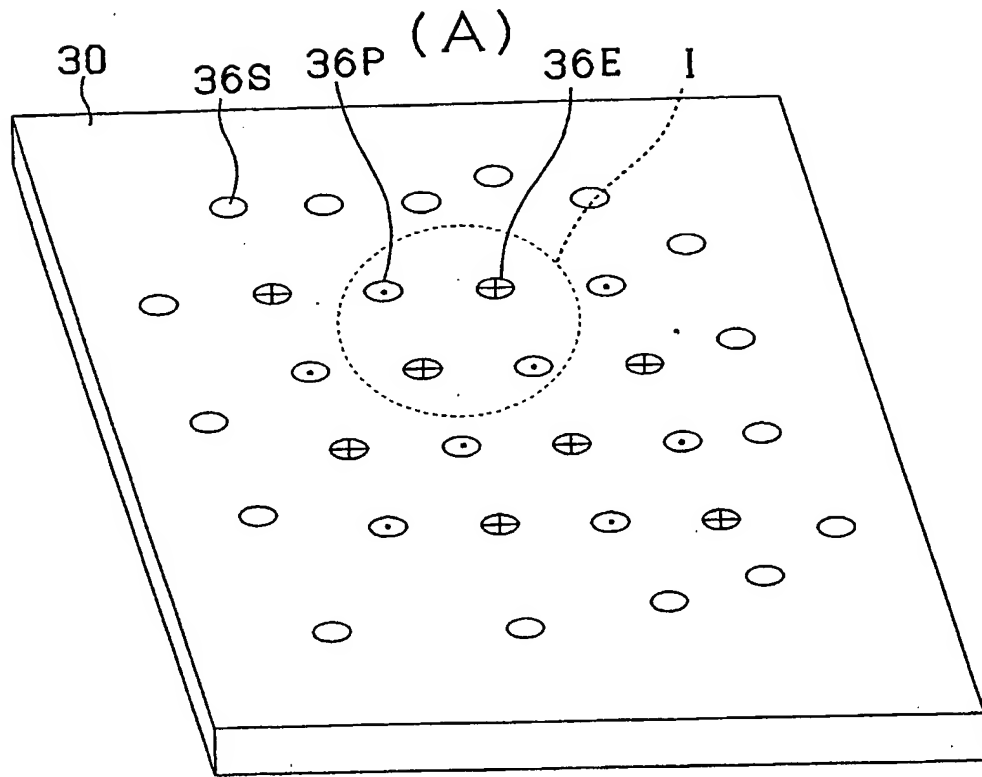
【図 8】



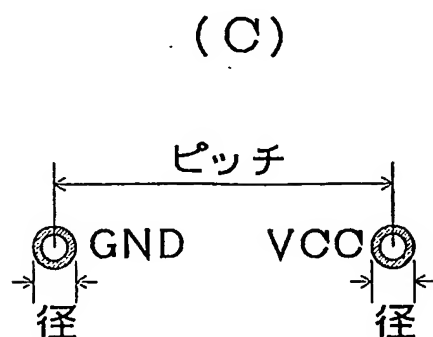
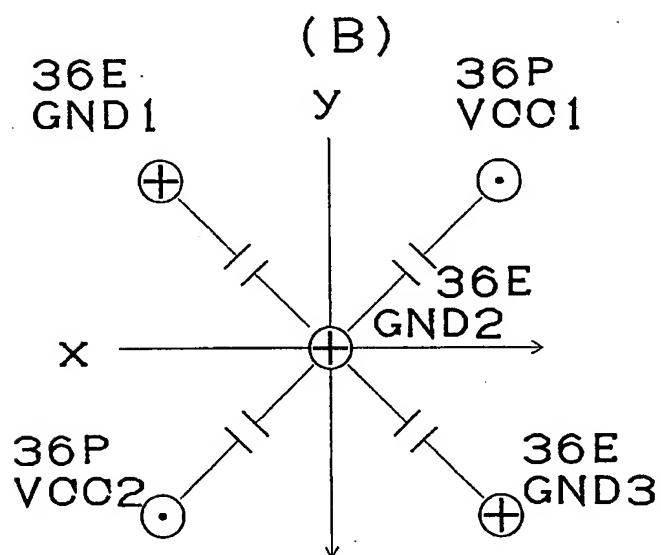
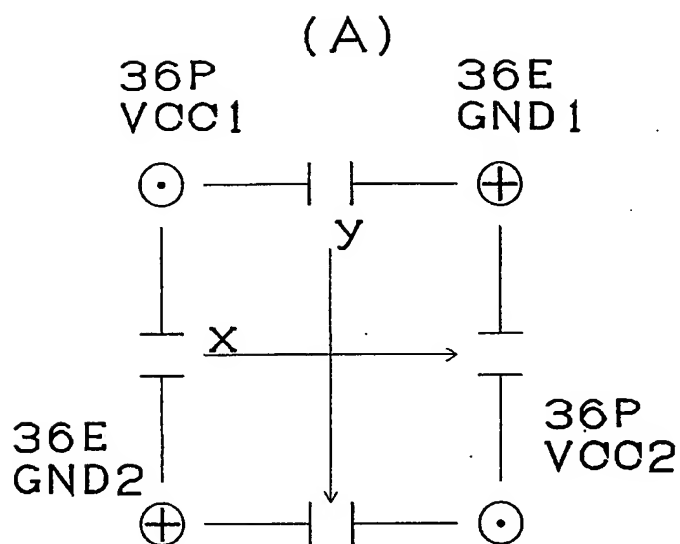
【図 9】



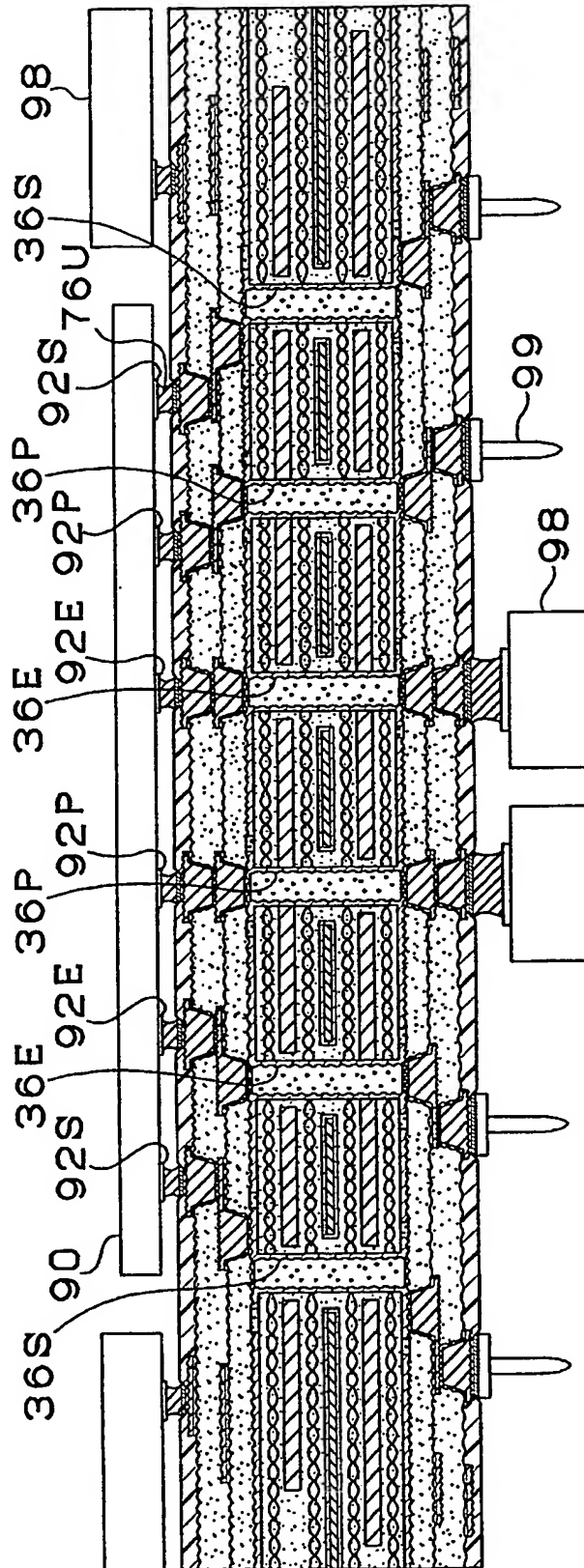
【図10】



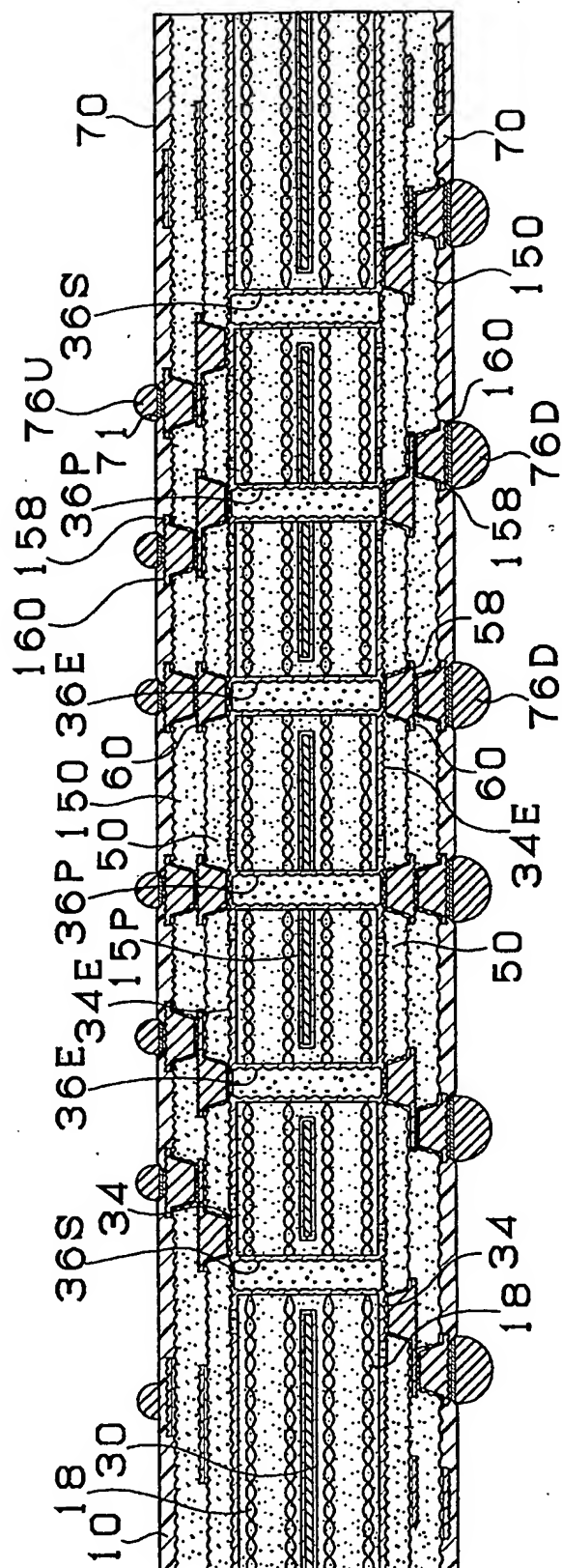
【図11】



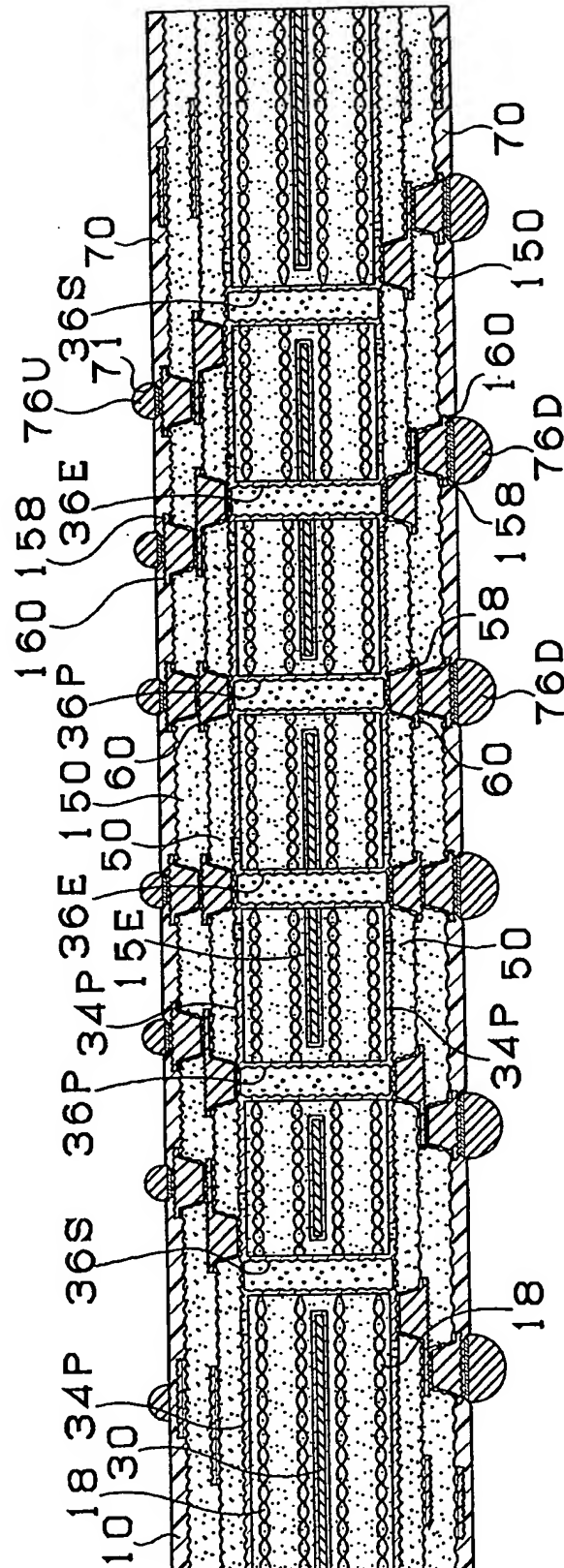
【図12】



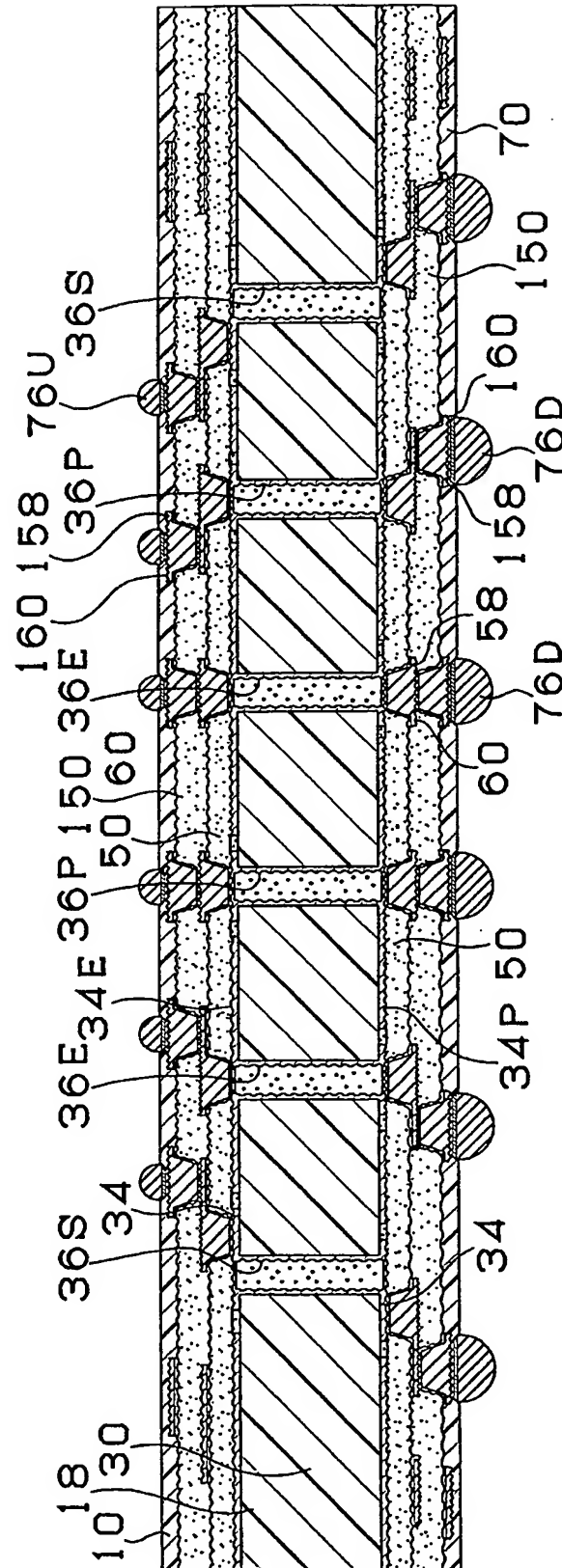
【図 13】



【図14】



【図 15】



【図 16】

スルー ホール ピッチ (μm)	スルー ホール 径 (μm)	コア基 板の厚 み (μm)	千鳥配置		格子配置		ランダム配置
			電源数 / グラ ンド数	ループ インダ クタ ンス(pH)	電源数 / グラ ンド数	ループ インダ クタ ンス(pH)	
650	450	600	4/3	93	3/3	84	115
600	400	600	6/6	87	5/5	75	109
550	350	600	9/6	73	8/8	60	100
500	300	600	12/9	73	10/10	56	
475	275	600	12/9	63	13/12	57	
450	250	600	12/12	63	13/12	55	
425	225	600	16/12	58	15/15	55	
400	200	600	16/16	59	18/18	55	
50	25	600	25/25	58	20/22	55	

【図17】

(A)

スルーホールピッチ (μm)	千鳥配置		格子配置	
	絶縁層のクラック	導通試験結果	絶縁層のクラック	導通試験結果
650	○	○	○	○
600	○	○	○	○
500	○	○	○	○
400	○	○	○	○
300	○	○	○	○
100	○	○	○	○
75	○	○	○	○
60	○	△	○	△
50	×	×	×	×

絶縁層のクラック: ○ クラックなし × クラック有り

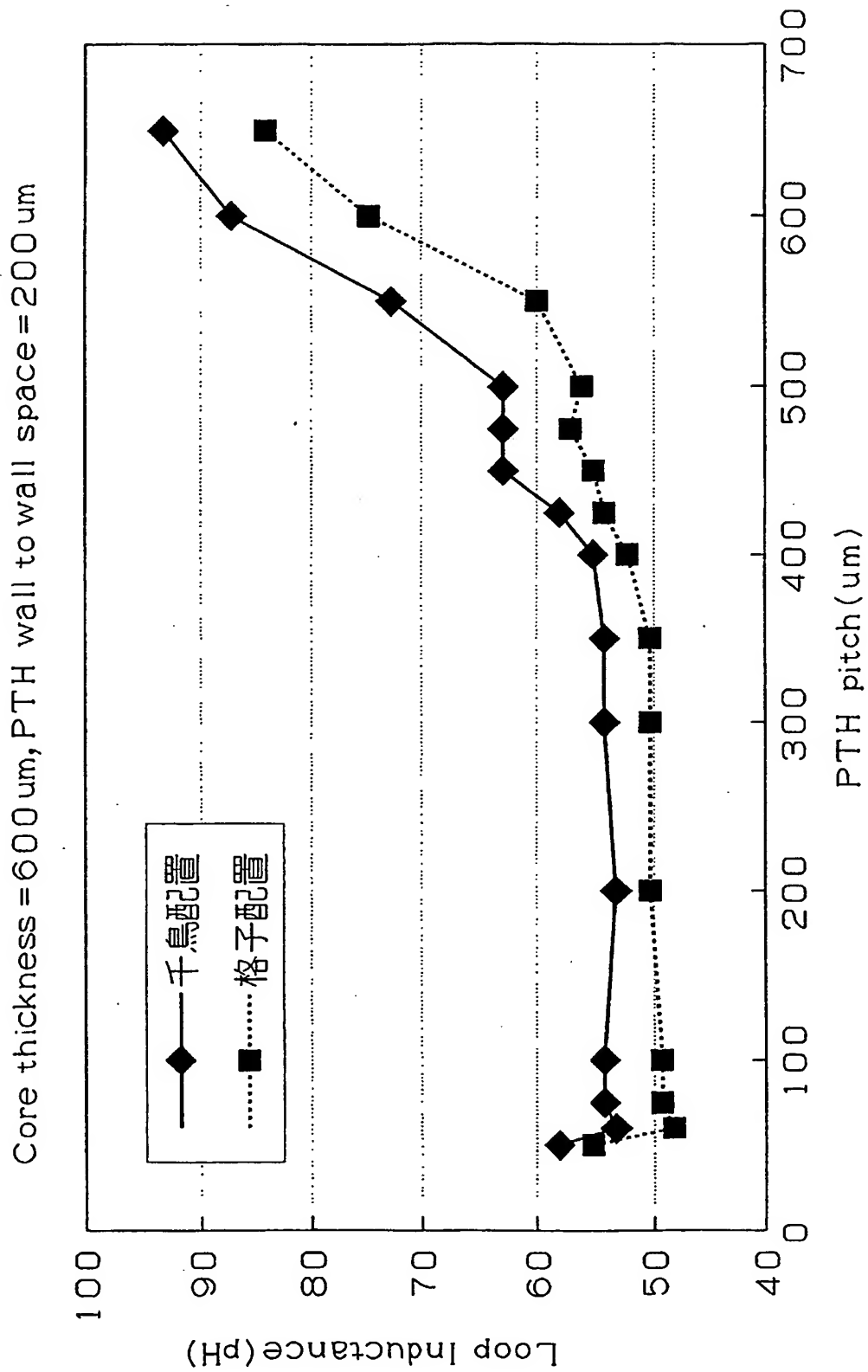
導通試験: ○ 抵抗値に異常なし △ 抵抗値に若干変動あり

× 抵抗値に異常あり

(B)

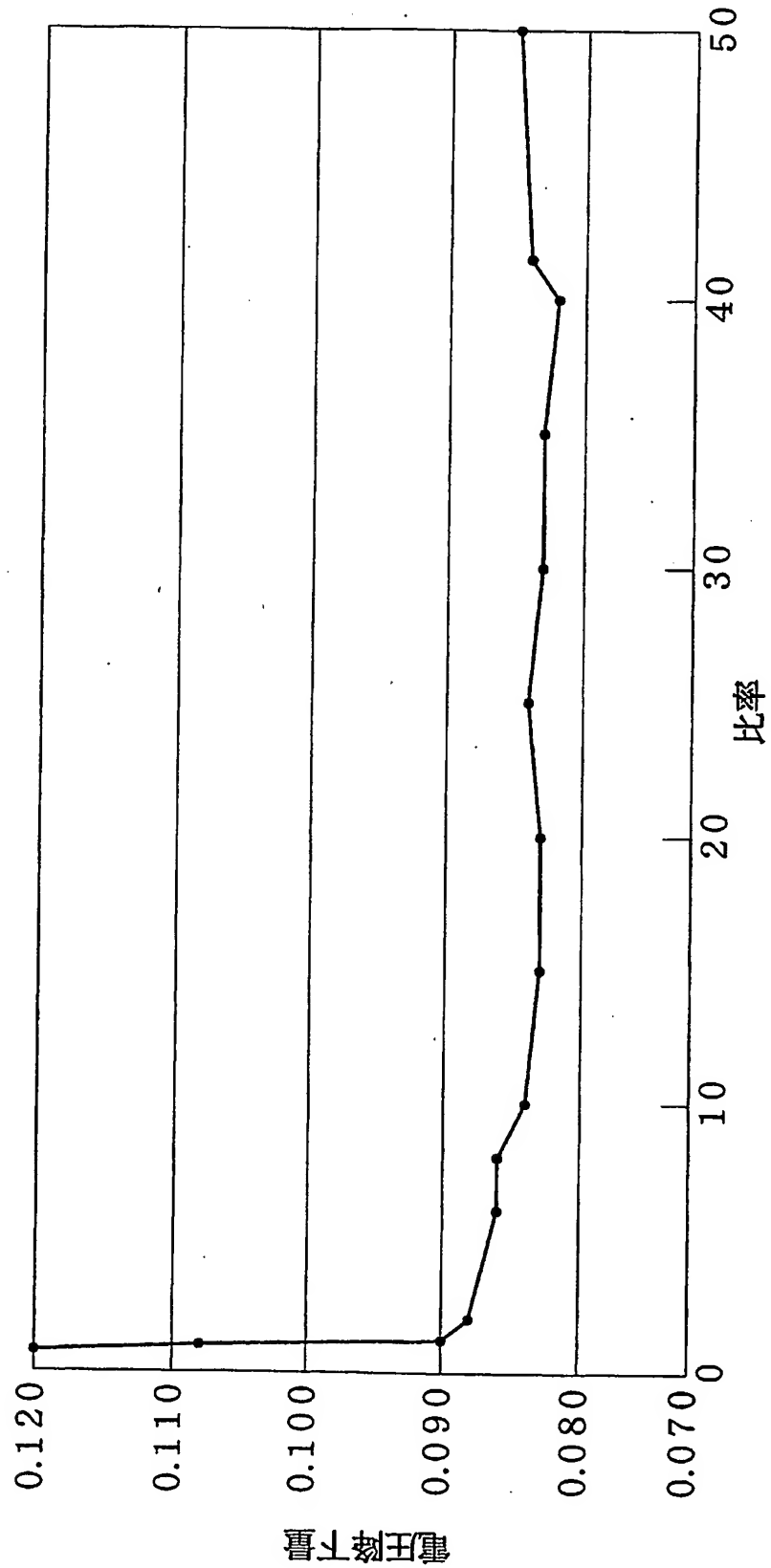
スルーホールピッチ (μm)	千鳥配置	格子配置
	ループインダクタンス(pH)	ループインダクタンス(pH)
650	93	84
600	87	75
550	73	60
500	63	56
475	63	57
450	63	55
425	58	54
400	55	52
350	54	50
300	54	50
200	53	50
100	54	49
75	54	49
60	53	48
50	58	55

【図18】



【図 19】

コア電源層比率



【書類名】 要約書

【要約】

【課題】 3GHzを越えても誤動作やエラーの発生しない多層プリント配線板を提案する。

【解決手段】 コア基板30のグラウンド用スルーホール36Eと電源用スルーホール36Pとが、格子状に配設され、X方向およびY方向での誘導起電力の打ち消しがなされる。これにより、相互インダクタンスを小さくし、高周波ICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる。

【選択図】 図11

認定・付加情報

特許出願の番号	特願2003-102773
受付番号	50300573432
書類名	特許願
担当官	第四担当上席 0093
作成日	平成15年 4月 8日

<認定情報・付加情報>

【提出日】	平成15年 4月 7日
-------	-------------

次頁無

特願 2003-102773

出 願 人 履 歴 情 報

識別番号 [000000158]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	岐阜県大垣市神田町2丁目1番地
氏 名	イビデン株式会社